

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年3月29日 (29.03.2001)

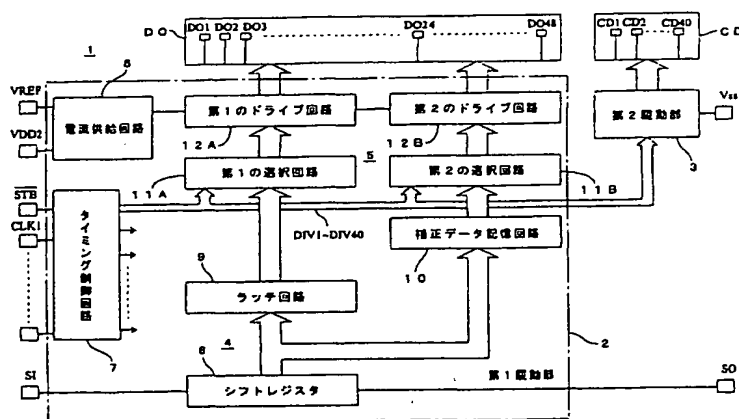
PCT

(10) 国際公開番号
WO 01/21411 A1

- (51) 国際特許分類⁷: B41J 2/45 (72) 発明者; および
(21) 国際出願番号: PCT/JP00/06333 (75) 発明者/出願人 (米国についてのみ): 尾前充弘 (OMAE, Mitsuhiro) [JP/JP]; 〒680-8634 鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内 Tottori (JP).
(22) 国際出願日: 2000年9月14日 (14.09.2000) (74) 代理人: 弁理士 佐野静夫 (SANO, Shizuo); 〒540-0032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館 Osaka (JP).
(25) 国際出願の言語: 日本語 (81) 指定国 (国内): CN, IL, KR, US.
(26) 国際公開の言語: 日本語 (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(30) 優先権データ:
特願平11/265904 1999年9月20日 (20.09.1999) JP
特願平11/294069 1999年10月15日 (15.10.1999) JP
(71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒570-0083 大阪府守口市京阪本通2丁目5番5号 Osaka (JP). 鳥取三洋電機株式会社 (TOTTORI SANYO ELECTRIC CO., LTD.) [JP/JP]; 〒680-8634 鳥取県鳥取市南吉方3丁目201番地 Tottori (JP).
添付公開書類:
— 国際調査報告書
2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: DRIVING IC AND OPTICAL PRINT HEAD

(54) 発明の名称: 駆動用IC及び光プリントヘッド



- 6...CURRENT SUPPLY CIRCUIT
12A...FIRST DRIVE CIRCUIT
12B...SECOND DRIVE CIRCUIT
11A...FIRST SELECTING CIRCUIT
11B...SECOND SELECTING CIRCUIT
3...SECOND DRIVE SECTION
7...TIMING CONTROL CIRCUIT
9...LATCH CIRCUIT
8...SHIFT REGISTER
10...CORRECTION DATA STORAGE CIRCUIT
2...FIRST DRIVE SECTION

(57) Abstract: An optical print head comprising a light-emitting device (22) having n individual electrodes (28), p common electrodes (27) and a plurality of $(n \times p)$ light emitting parts (26) selected by these electrodes, and a driving IC (1) having individual electrodes and m group selecting terminals (CD1-CD40), characterized in that one driving IC is provided with a (q) of plurality light emitting elements (22), and the number q is determined by the number p of common electrodes (27), and the number m of the group-selecting terminals (CD).

[続葉有]

WO 01/21411 A1



(57) 要約:

n 個の個別電極 2 8 と p 個の共通電極 2 7 とこれらによって選択される複数 ($n \times p$) の発光部 2 6 とを備える発光素子 2 2 と、個別電極並びに m 個の群選択用端子 C D 1 ~ C D 4 () を備えた駆動用の I C 1 とを備え、前記発光素子 2 2 は、1 つの前記駆動用 I C 1 に対して複数 (q) 設けられ、その数 (q) は、発光素子 2 2 の共通電極 2 7 の数 (p) と前記駆動用 I C 1 の群選択用端子 C D の数 (m) で定められることを特徴とする。

明細書

駆動用 IC 及び光プリントヘッド

技術分野

本発明は、プリンタ等の記録ヘッドに用いられる光プリントヘッドに係わり、特に、素子内で時分割駆動を行うことができるように構成された発光素子を駆動するための新規な駆動用 IC とそれを用いた光プリントヘッドに関する。

背景技術

従来の光プリントヘッドにおいて用いられる発光素子（アレイ）は、実公平 6-48887 号公報に示すように、複数の発光部に 1 対 1 で対応させて個別電極を素子表面側に設け、各発光部に共通の電極を素子裏側に設けて構成しているので、1 つの素子内で時分割駆動することができなかった。時分割駆動することができないので、個別電極を発光部と同数設ける必要があり、発光部の高密度化が進むと、それに対応して個別電極も高密度配置になる結果、駆動用 IC との接続が困難になるという問題があった。

このような問題を解決するために、特開平 6-163980 号公報においては、素子内での時分割駆動が可能な発光素子が提案されている。すなわち、発光素子上の複数の発光部を 2～3 の群 p に分け、群毎の発光部に接続するように複数本の共通電極を設け、異なる群に属する p 個の発光部に接続した個別電極を n 個設けることによって $p \times n$ 個の発光部を備える発光素子が提案されている。この発光素子によれば、 p 本の共通電極を時分割的に選択することによって個別電極の数を従来の $1/p$ に削減することができるので、駆動用 IC との接続を容易にすることができる。

このような発光素子を従来と同様の駆動用 IC を用いて時分割駆動することも可能であるが、この場合、共通電極を時分割的に選択するための駆動回路を別途必要とするので、時分割駆動に適した汎用性のある駆動用 IC の開発が望まれている。

そこで本出願人は、上記の点を考慮した駆動用 IC について、特開平 10-2

また、本発明では、複数の発光部を備えた発光素子と、該発光素子の発光部に駆動電流を供給する駆動用 IC 装置と、を備えた光プリントヘッドにおいて、前記発光素子が、 n 個の第 1 電極のそれぞれに複数個の発光部の一方の端子が接続され、そして、前記駆動用 IC 装置が、前記発光素子の第 1 電極にそれぞれ接続される n 個の第 1 出力端子と、第 1 出力端子から前記駆動電流を出力する第 1 駆動部と、を備えるとともに、前記第 1 駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、を備えるようにしている。

図面の簡単な説明

第 1 図は本発明の第 1 及び第 2 の実施形態に係る駆動用 IC の回路ブロック図であり、

第 2 図は第 1 及び第 2 の実施形態の要部を示す回路ブロック図であり、

第 3 図は第 1 及び第 2 の実施形態のタイミングチャートであり、

第 4 図は第 1 の実施形態に係る光プリントヘッドの要部平面図であり、

第 5 図は同実施形態に係る光プリントヘッドの要部を示す平面図であり、

第 6 図は同実施形態に係る発光素子の要部を示す平面図であり、

第 7 図は第 1 及び第 2 の実施形態に係る光プリントヘッドの回路ブロック図であり、

第 8 図は第 2 の実施形態に係る光プリントヘッドの要部を示す平面図であり、

第 9 図は同実施形態に係る発光素子の要部を示す平面図であり、

第 10 図は第 3 の実施形態に係る駆動用 IC の回路ブロック図であり、

第 11 図は同実施形態の駆動用 IC の要部を示す回路ブロック図であり、

第 12 図は同実施形態の要部（分割タイミング信号発生回路）を示す回路図であり、

第 13 図は同実施形態のタイミングチャートであり、

第 14 図は同実施形態に係る光プリントヘッドの要部平面図であり、

ロック図である。第2図は、第1図に示す回路ブロック図のうち、複数ある出力端子DO1～DO48の1つの出力端子DO1に関係する部分を中心に抽出した要部回路ブロック図である。まず、これらの図を中心に説明する。

駆動用IC1は、第1図に示すように、素子駆動用（後述する個別電極28用）の複数個（ n ）の出力端子DO1～DO48で構成された個別端子部DOと、各出力端子DO1～DO48と接続され、これらに対して駆動信号としての所定の電流出力を与える第1駆動部2と、群選択用（後述する共通電極27用）の複数（ m ）個の出力端子CD1～CD40で構成された共通端子部CDと、各出力端子CD1～CD40と接続され、これらを選択的に一方の電源電位、例えば接地電位VSSに切り替える第2駆動部3を備えている。以下、図示のごとく、 $n = 48$ 、 $m = 40$ の場合を例にとって説明するが、本発明はこれに限定されるものではない。

第1駆動部2は、データ入力端子S1から順次与えられるシリアル入力データ信号を一時的に記憶するデータ信号記憶回路4と、このデータ信号記憶回路4から出力されたデータ信号に基づき上記各出力端子DO1～DO48に駆動信号を出力する駆動回路5と、この駆動回路5に定電流を供給する電流供給回路6と、この第1駆動部2並びに第2駆動部3の各部に所定のタイミング信号を供給するタイミング制御回路7とを備えている。

データ信号記憶回路4は、データ入力端子S1からシリアル入力されるデータ信号をクロック信号CLK1に同期して取り込み、データ出力端子SOからシリアル出力する $n \times m$ （1920）ビット構成のシフトレジスタ8と、このシフトレジスタ8に取り込まれたデータ信号を、ロード信号LOAD1に基づいて並列に取り込む $n \times m$ （1920）ビット構成のラッチ回路9とを備えている。シフトレジスタ8から並列に出力される $n \times m$ （1920）個のデータ信号はラッチ回路9を介さないで記憶回路10に供給することもできるようにしている。

尚、データ信号を複数ビットで構成する場合などにおいては、それに応じてシフトレジスタ8やラッチ回路9等の構成を変更することもでき、例えば、シフトレジスタ8をアドレス指定方式のメモリで構成しても良い。

駆動回路5は、ラッチ回路9が出力する $n \times m$ （1920）個のデータ信号か

発生回路 14 によってゲートの開閉が制御される。

この分割タイミング信号発生回路 14 は、第 3 図に波形を示すように、時分割のタイミングを規定するように外部から少数（この例では 1 本）の信号線を介して供給される制御信号 D I V S E L に基づいて、m 種類の分割タイミング信号 D I V 1 ～ D I V 40 を生成するための回路で、例えばカウンタによって構成することができる。分割タイミング信号発生回路 14 は、カウンタ以外にも、所定ビットの 2 進数から成る制御信号 D I V S E L に基づいて m 種類の分割タイミング信号 D I V 1 ～ D I V 40 を生成するデコーダ等によって構成することもできる。このように、分割タイミング発生回路 14 は 1 つあるいは少数の制御信号 D I V S E L に基づいて m（40 種類）の分割タイミング信号（D I V 1 ～ D I V 40）を生成する。すなわち、分割タイミング信号の数よりも少数の信号線を用いて制御信号 D I V S E L を供給するので、外部と接続する制御信号の端子の数を削減して IC の小型化を図ることができるとともに、ワイヤボンダ配線などの外部配線数を削減することができる。

尚、分割タイミング信号発生回路 14 は、1 ライン分のデータ信号の入力に同期してリセットすることができ、リセット信号 R E S E T を利用してのリセットの他にも、前記ロード信号 L O A D 1 を利用してリセットを行うことができる。

次に、第 2 図を参照して 1 つの出力端子 D O 1 を中心にデータの流れについて説明する。ラッチ回路 9 に記憶された 1 つの IC 分のデータ（1920 個のオン／オフデータ）は、分割タイミング信号 D I V 1 ～ D I V 40 が順次 H レベルに切り替わることによって、その分割タイミング信号 D I V 1 ～ D I V 40 とラッチ回路 9 に接続された第 1 の選択回路 11 A における 40 個のアンドゲート回路が順次 1 つずつ開き、その開いたアンドゲート回路を通して選択的に出力される。また、補正データ記憶回路 10 に記憶された 3 ビット構成の補正データも同様に、分割タイミング信号 D I V 1 ～ D I V 40 が順次 H レベルに切り替わることによって第 2 の選択回路 11 B における 3 個 1 組のアンドゲート回路（この例では 40 組で構成される）が開く結果、その開いている 1 組のアンドゲート回路を通して選択的に出力される。補正データ記憶回路 10 の出力は、ドライブ回路 12 に供給され、ラッチ回路 9 から第 1 の選択回路 11 A を通して与えられたデータと

基板 2 1 に多層配線したマルチプレクス用の配線パターンと、このパターンと駆動用 I C 1 間並びに発光素子 2 2 間を接続するワイヤボンド線とで構成している。第 2 の配線 2 3 - 2 も、基板 2 1 に多層配線した配線パターンと、このパターンと駆動用 I C 1 間並びに発光素子 2 2 間を接続するワイヤボンド線とで構成している。第 1 の配線 2 3 - 1 及び第 2 の配線 2 3 - 2 の配線パターンの発光素子 2 2 の配列長と同じ程度の長さを持つ配線は、発光素子 2 2 の列の両側に区分けして別々に配置している。このようにすることにより、後述する複数個の発光素子 2 2 とのワイヤボンド配線を行い易くすることができる。

発光素子 2 2 の列の両側に区分けして別々に基板 2 1 に配置した配線 2 3 のパターンは、第 1 の配線 2 3 - 1 よりも第 2 の配線 2 3 - 2 の方が配線数は少ないが、1 本当当たりのパターン幅とその間隔が第 2 の配線 2 3 - 2 の方が広いので、第 2 の配線 2 3 - 2 側のパターンの総幅が第 1 の配線 2 3 - 1 側よりも広がっている。このように、駆動用 I C 1 と発光素子 2 2 間を接続するとともに、発光素子 2 2 の両側に区分けして配置された配線 2 3 - 1 , 2 3 - 2 のパターンについて、総幅の広い方を一方の側に、狭い方を駆動用 I C 1 と共に他方に配置しているので、発光素子 2 2 を基板 2 1 の幅方向の中央寄りに配置することができる。発光素子 2 2 の列を基板 2 1 の幅方向の中央寄りに配置することにより、発光素子 2 2 の配列直線性（特に、基板 2 1 に硝子エポキシ製のものを用いた場合）を高めることができるなど、光学的特性を向上させることができる。

基板 2 1 は、硝子エポキシ製の基板の他に、セラミック製、絶縁金属製の基板等を用いることができるが、この例では、多層配線化、長尺化が容易で、しかも低価格な硝子エポキシ製の基板を用いている。硝子エポキシ製、セラミック製、金属製の何れの基板を用いても、現状では同一面上に 1 5 0 D P 1 程度の微細配線を形成するのが限界である。尚、配線 2 3 としては、基板 2 1 の多層配線と金線等のワイヤボンド線との組み合わせの他に、高密度のフレキシブル配線を異方性導電接着剤を用いて接続する構造等を用いることもできる。

基板 2 1 の上には、前記配線 2 3 とは別に、信号用、電力供給用の複数本の配線パターン 2 4 を発光素子 2 2 の配列方向に沿って延びるように形成している。この配線の中には、隣接する駆動用 I C 1 の端子間でデータ信号等の授受を行う

第7図に示すように、1つのブロックを構成する1つの駆動用IC1と、それに対応するq個（この例では5個）の発光素子22は、駆動用IC1の出力端子DO1～DO48がq個の発光素子22の個別電極28に共通に接続されるように第1配線23-1を介して接続されている。駆動用IC1の出力端子CD1～CD40は、q（5）個の発光素子22の各共通電極27に第2の配線23-2を介して個別に接続されている。

そして、駆動用IC1の群選択用端子CD1～CD40の1つを選択し、端子DO1～DO48に所定の信号を与えれば、q個の発光素子22の1つが選択され、その素子の発光部26を8分の1ずつ時分割で発光させることができる。したがって、これらを40回繰り返して全ての群選択用端子を選択することにより、1つのブロックの全ての発光部26を選択的に発光させることができる。

尚、1つのブロック内の発光素子22はq個（5個）で、これが4ブロックあるので、ヘッド20全体の発光部26の数は、 $b \times q \times p \times n = 4 \times 5 \times 8 \times 48 = 7680$ 個となる。

次に、第1の実施形態の駆動用IC1の動作を含めた上記光プリントヘッド20の動作について、第1図、第2図に加えて、第3図に示すタイミングチャートを参照して説明する。

尚、記憶回路10に記憶すべき補正データは、発光素子22の各発光部26の光量を均一にするために、予め求めた光量補正データが用いられ、これらのデータは、既に記憶回路10に記憶されているものとする。

まず始めにリセット信号RESETが供給され、これによって各部が初期状態に設定される。続いて、設定信号SETがLレベルからHレベルに切り替えられる。その結果、記憶回路10への書き込みが禁止された状態となる。

端に位置する駆動用IC1のデータ入力端子SIに1ライン分のデータ信号（7680個）が順次与えられ、これがクロック信号CLK1に同期して順次駆動用IC1のシフトレジスタ8に取り込まれる。所定数のデータ取り込みが終わると、データ出力端子SOを介して、カスケード接続された隣のICのシフトレジスタ8にデータ信号が順次与えられる。

1ライン分のデータ信号の取り込みが終わり、全ての駆動用IC1のシフトレ

上記のように、素子内時分割駆動に対応した発光素子 22 を駆動するための各駆動用 IC1 が、群を単位とするタイミングに同期して動作する第 2 駆動部 3 を内蔵し、この駆動用 IC1 によって対応した発光素子 22 の時分割駆動を行う構成としているので、負荷の分散を図ることができる。よって、時分割駆動を行うための第 2 駆動部 3 に加わる最大負荷は、対応する発光素子 22 の 1 つの群に属する発光部 26 の数に基づき決定できる。その結果、従来のダイナミック駆動方式のように時分割駆動用（共通電極選択用）の専用 IC を用いて全ての発光素子を対象とした時分割駆動を行う場合に比べて、時分割駆動用の回路に加わる負荷を低減することができる。

そして、駆動用 IC1 は、複数の発光素子 22 を時分割駆動するので、発光素子 22 と時分割駆動用 IC を 1 対 1 の割合で配置する場合に比べて、内部回路数を削減することができる。特に、IC の中で半数以上の面積を占有するドライブ回路について、発光素子と時分割駆動用 IC を 1 対 1 の割合で配置する場合は $q \times n$ 必要であるが、上記構成では、 n 個に削減することができ、 q (5) 分の 1 の削減率を達成することができた。また、発光素子とスタティック駆動用 IC を 1 対 1 の割合で配置する場合は $p \times q \times n$ のドライブ回路が必要であるが、上記構成では n 個に削減することができ、 $p \times q$ (40) 分の 1 の大幅削減率を達成することができた。そして、駆動用 IC1 を従来のスタティック方式用の IC と同等の形状で構成することができるので、全体的な回路構成の小型化を達成することもできる。

また、時分割駆動を行う構成でありながら、スタティック方式と同じようにデータを順次入力することができるので、従来の時分割駆動に必要とされたデータの並び替えのための回路が不要となる。また、時分割数を増加させても、その分割数よりも少数の制御信号用の信号線を利用して時分割用のタイミング信号 DIV1 ~ DIV40 を発生させるようにしているので、IC の端子数や組立作業数の削減を図ることができる。

また、駆動用 IC1 は、時分割駆動に対応していながら、同じブロック内の発光素子全ての補正用データを記憶し、それを選択して出力することができるので、補正用データを用いた時分割駆動を行う場合に、記憶した補正データに基づくデ

動用 I C 1 の時分割数 (m) に変更を加えて実質的な時分割数 (k) を例えば 16 に設定するとともに、この駆動用 I C 1 に第 6 図に示す発光素子 22 を 2 個接続してそれを 1 ブロックとし、これを 10 ブロック配置して 7680 個の発光部を備える光プリントヘッドを構成すると、第 3 図を参照して動作説明した時分割数 (m) が 40 の場合に比べて、印字速度を $40 / 16 = 2.5$ 倍に早めることができる。

印字速度を速める他の方法として、各発光部に流す電流値を大きくし発光出力を増加させる方式が知られている。しかしながら、電流値を増加させることができない場合、例えば、変更前の電流値が発光部の許容電流値に近い場合、発光部の通電寿命を延ばすために電流値を低く設定している場合などにおいては、上記のように実質的な時分割数を少なくして印字速度を高める方式を採用することが望ましい。

このようにすることによって、同一の駆動用 I C を用いながらも、プリントヘッドに要求される印字速度の変更に対して、実質的な分割数を変更することによる対応ができ、プリントヘッドの機能変更に対処することができる。

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態について説明する。第 8 図は、本実施形態の光プリントヘッドを示す要部平面図であり、第 9 図は、本実施形態の発光素子を示す要部平面図である。尚、本実施形態において、駆動用 I C の構成については、第 1 の実施形態と同様、図 1 及び図 2 で表される構成であり、又、その動作についても第 2 の実施形態と同様、図 3 のタイミングチャートに従う。又、第 8 図及び第 9 図のそれぞれにおいて、第 5 図及び第 6 図のそれぞれと同一部分には、同一符号を付して説明を省略する。

駆動用 I C 1 と発光素子 22 との間に接続される配線は、第 1 の実施形態では、第 5 図のように、発光素子 22 の下側に第 1 の配線 23-1 が、発光素子 22 の上側に第 2 の配線 23-2 が設けられ、発光素子 22 の両側においてワイヤボンド線で接続された構成となる。それに対して、本実施形態では、第 8 図のように、発光素子の 22 の下側に駆動用 I C 1 の群選択用の出力端子 C D 1 ~ C D 40 と接続された第 2 の配線 23-2 が、この第 2 の配線 23-2 の更に下側に駆動用

部回路ブロック図である。まず、これらの図を中心に説明する。

第10図に示す駆動用IC1は、第1図の駆動用IC1と比べて、データ信号記憶回路54が、データ入力端子S11～S14からシリアルに入力されるデータ信号をクロック信号CLK1に同期して取り込み、データ出力端子SO1～SO4からシリアル出力する $n \times m$ ビット構成の多入力シフトレジスタ58を有する点異なる。よって、第1図と同一部分には同一符号を付して説明を省略する。又、個別端子部DOが素子駆動用の複数個(n)の出力端子DO1～DO96で構成され、共通端子部CDが群選択用の複数(m)個の出力端子CD1～CD4で構成される。

以下、図示のごとく、 $n = 96$ 、 $m = 4$ の場合を例にとって説明するが、本発明はこれに限定されるものではない。このように、 $n = 96$ 、 $m = 4$ とした時、シフトレジスタ58は384ビット構成となり、又、ラッチ回路9も、シフトレジスタ58に取り込まれたデータ信号を、ロード信号LOAD1に基づいて384ビット単位に並列に取り込むために、384ビット構成となっている。

駆動回路5において、選択回路11Aが、ラッチ回路9より出力される $n \times m$ (384)個のデータ信号から、 n 個単位にデータ信号を順次選択して出力するとともに、この選択回路11Aの出力に基づいて前記出力端子DO1～DO96を介して一定の電流を出力する第1のドライブ回路12Aが、 n (96)ビット構成となる。又、補正データ記憶回路10が、出力補正に対応するための補正データを $n \times m$ (384)個記憶するとともに、第2の選択回路11Bが、補正データ記憶回路10より出力される $n \times m$ (384)個の補正データ信号から、 n 個単位に補正データ信号を順次選択する。更に、この補正データ用の選択回路11Bの出力に基づいて増加減した電流値の出力を前記出力端子DO1～DO96を介して駆動信号として出力する補正用の第2のドライブ回路12Bが、 n (96)ビット構成となる。

記憶回路10は、第1の実施形態と同様、 S ビット (例えば3ビット構成) で構成される補正データを $n \times m$ (384)個記憶することができるように、例えば $S \times n \times m$ ビット構成のラッチ回路で構成することができる。そして、各補正データ記憶回路10に対する補正データの書き込みは、シフトレジスタ58から

しているが、前記選択回路 11 の選択タイミングに同期した他の信号を用いて切り替える構成とすることもできる。

第 14 図は、光プリントヘッド 20 の一例を示す要部平面図であり、駆動用 IC 1 としては第 3 及び第 4 の実施形態で説明する駆動用 IC が用いられる。この光プリントヘッド 20 は、絶縁性基板 21 の上に複数、例えば 20 個の発光素子 22 を一列に配列し、この発光素子 22 の片側に隣接させて駆動用 IC 1 を発光素子 22 と 1 対 1 で対応させて一列に配列している。この例では、駆動用 IC 1 を発光素子 22 の片側に配列しているが、駆動用 IC 1 を発光素子 22 の両側に配列する場合は、発光素子 22 と駆動用 IC 1 を 1 対 2 の対応関係で配列すれば良い。発光素子 22 と駆動用 IC 1 間には、両者を接続するための配線 23 が施される。配線 23 としては、金線等のワイヤボンダ線による直接接続構造、中継用のパターンを介在したワイヤボンダ線による間接的接続構造を用いることができるが、高密度のフレキシブル配線を異方性導電接着剤を用いて接続する構造を用いることもできる。

基板 21 の上には、信号用、電力供給用の複数本の配線パターン 24 を発光素子 22 の配列方向に沿って形成している。駆動用 IC 1 と配線パターン 24 の間には、前記配線 23 と同様の配線 25 を設けている。

発光素子 22 は、その上面に複数 ($m \times n = 384$) 個の発光部 26 をその長手方向に沿って配列している。そして、この複数の発光部 26 は、時分割駆動できるようにそれぞれが独立して形成されており、群単位に時分割駆動できるように、複数 m の群に区分けしている。この例では、発光部 26 の 1、5、9 番目を第 1 の群、2、6、10 番目を第 2 の群、3、7、11 番目を第 3 の群、4、8、12 番目を第 4 の群というように、発光部 26 の配置順序を示す番号を 4 で割った場合の余りの数に基づいて 4 つの群に区分けした場合を例示している。

そして、発光素子 22 は、第 1 の群に属する発光部 26 に共通に接続した共通電極 27-1 と、第 2 の群に属する発光部 26 に共通に接続した共通電極 27-2、共通電極 27-3、並びに共通電極 27-4 の 4 本の共通電極 27 を設けるとともに、隣接する 4 つの発光部 26 に接続した n (96) 個の個別電極 28 を設けている。これらの個別電極 28 は、それぞれ駆動用 IC 1 の出力端子 DO1

80個)が r 個単位に順次与えられ、これがクロック信号CLK1に同期して順次各駆動用IC1の多入力シフトレジスタ58に取り込まれる。ここで、各データ入力端子S11～S14に与えられるデータ信号は、入力端子S11に1, 5, 9番目のデータ、入力端子S12に2, 6, 10番目のデータというように、予め発光素子の4つの群に対応した形態に振り分けられて入力される。1つの駆動用IC1のシフトレジスタ58への入力が終わると、その出力端子SO1～SO4を介して、隣に位置する駆動用IC1のシフトレジスタ58にデータ信号が与えられる。このように、データ信号を多入力するので、1入力の場合に比べてデータ入力の時間を大幅に短縮することができる。

1ライン分のデータ入力終了すると、ロード信号LOAD1が、所定時間Hレベルに保持され、各駆動用IC1のシフトレジスタ8に保持された $n \times m$ 個のデータ信号の入力が行われる。この時、ロード信号LOAD1の立ち下がり時点でラッチ回路9が選択(ラッチ)されるので、シフトレジスタ8に取り込まれた $n \times m$ 個のデータ信号がラッチ回路9に入力されて記憶される。

ロード信号LOAD1がHレベルからLレベルに切り替わった直後に、発光のタイミングを示す外部信号DIVSEL1, 2が共にLレベルに保持され、これに伴って分割タイミング信号発生回路14が出力する分割タイミング信号のDIV1のみがLレベルからHレベルに切り替わる。その直後に発光のタイミングを示す外部ストロブ信号(反転STB)がHレベルから所定期間Lレベルに保持され、その間に発光素子の選択的な発光が行われる。

外部信号DIVSEL1, 2の組み合わせを変更することにより、分割タイミング信号のDIV2のみがHレベルに切り替えることができ、同様に順次DIV3、DIV4のみがHレベルに切り替えることができる。

この分割タイミング信号DIV1～DIV4の切り替わりによって、選択回路11がラッチ回路9や記憶回路10から選択して出力するデータ信号の位置が順次切り替わる。例えば、分割タイミング信号DIV1によって、1番目、5番目、…7677番目のデータが選択され、分割タイミング信号DIV2によって、2番目、6番目、…7678番目のデータが選択される。

これらのデータ(必要に応じて3ビットの補正データが付加される)がドライ

行うようにしている。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド20（第16図）と同様である。このようにすることにより、第22図にタイミングを示すように、一度のデータ入力処理によって2ライン分のデータを取り込んだ後、分割タイミング信号D1V1によって、1ライン目の1群（奇数データ）を選択し、分割タイミング信号D1V2によって、1ライン目の2群（偶数データ）を選択し、分割タイミング信号D1V3によって、2ライン目の1群（奇数データ）を選択し、分割タイミング信号D1V4によって、2ライン目の2群（偶数データ）を選択することができる。

ここで、第18図に示すように、残りの2つの入力S13, S14を使用しなければ、1ライン分のデータのみを取り扱う構成とすることができる。このようにすることにより、1200DPI対応の駆動用IC1を600DPIの発光素子22の駆動に利用することができる。

第19図は、発光素子として300DPIの発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子22として、第14図に示す前記発光素子22と外観形状は同等であるが、発光部26の配列密度が4分の1で群が1つ（M=1）の非分割タイプのものを用いている。駆動用IC1に入力するデータ信号を、4つの入力S11～S14を使用することにより、図23にタイミングを示すように、4ライン分のデータ入力を1920クロックで行う。それらの変更に応じて信号の入力形態を変更する必要がある。これらの変更点を除いた他の構成は上述の光プリントヘッド20（第16図）と同様である。このようにすることにより、1200DPI対応の駆動用IC1を300DPIの発光素子22の駆動に利用できるとともに、一度のデータ入力処理で4ライン分のデータ信号を入力することができるので、データ処理能力を高めて印字速度を速くすることができる。

第20図は、発光素子として600DPIの発光素子を用いるようにした光プリントヘッドの構成を示している。すなわち、発光素子22として、第14図に示す前記発光素子22と同じ長さで、発光部26の配列密度が半分の600DPIで、2つの群（M=2）に区分けした2分割タイプのものを2つ用いている。

数の削減を図ることができる。

< 第 4 の実施形態 >

次に、本発明の第 4 の実施形態について説明する。第 26 図は、第 4 の実施形態の駆動用 IC 1 について、複数ある出力端子 DO 1 ~ DO 96 の 1 つの出力端子 DO 1 に関する部分を中心に抽出した要部回路ブロック図である。本実施形態では、シフトレジスタ 58 に記憶するデータ数よりも少数のデータを記憶するラッチ回路 11C を用いる。以下、本実施形態について、第 26 図及び第 27 図を参照して説明する。

本実施形態において、第 3 の実施形態と大きく相違する点は、シフトレジスタ 58 に記憶している複数 ($m \times n = 384$) 個のデータを n 個単位に駆動回路 12 に供給するための選択回路として、出力端子 DO 1 ~ DO 96 の数 ($n = 96$) と同数のデータを記憶するラッチ回路 11C と、このラッチ回路 11C に選択的にデータを入力する選択回路 11A を用いた点である。

図 26 に示すように、多入力シフトレジスタ 58 に記憶している複数 ($m \times n = 384$) 個のデータを、論理ゲート回路で構成した選択回路 11A を介してラッチ回路 11C に与えるようにしている。ラッチ回路 11C は、出力端子 DO 1 ~ DO 96 の数と同数のデータを記憶する n (96) ビット構成のラッチで構成され、LOAD 1 信号によって n 個単位にデータを取り込む。選択回路 11A は、分割タイミング信号発生回路 14 の出力する分割タイミング信号 DIV 1 ~ DIV 4 によって、シフトレジスタ 58 が出力する複数 ($m \times n = 384$) 個のデータから n 個のデータを選択してラッチ回路 11C に与える。シフトレジスタ 58 に記憶されたデータは、このような選択処理が m 回繰り返されることによって順次ラッチ回路 11C に与えられる。ラッチ回路 11C 出力する n 個のデータは、ストロブ信号 (反転 STB) が L レベルの間にドライバ回路 12 に与えられる。

分割タイミング信号発生回路 14 は、第 12 図の構成を採用することもできるが、第 28 図に示すように、1 つの外部タイミング信号 DIVSEL のパルスのカウントして出力するカウンタタイプの回路構成を採用している。すなわち、例えば第 28 図に示すように、2 つのフリップフロップ FF 1、FF 2 と、複数 (4 つの) 論理ゲート回路 G 1 ~ G 4 を組み合わせたカウンタとによって構成す

する場合の他に、第 1 の実施形態のように、発光素子の両側に駆動用 IC を配置することもできる。このとき、発光素子として倍の解像度を持つもの、例えば 2400 DPI の解像度の発光素子を採用するのが望ましい。また、駆動用 IC は、例えば個別端子部あるいは共通端子部のいずれか一方をオープン状態とすることにより、あるいはその他の方法により、第 1 駆動部 2 あるいは第 2 駆動部 3 のみを選択的に利用することもできる。

更に、第 1 及び第 2 の実施形態において、第 3 及び第 4 の実施形態のように、複数の入力端子からデータがパラレルに入力される多入力シフトレジスタを使用しても構わない。

産業上の利用可能性

以上のように、本発明によると、従来のスタティック駆動と同様のデータ処理手順を残しながらも、時分割駆動に対応した駆動を行うことができ、スタティック駆動と互換性を保つことができる。また、時分割駆動に対応するので駆動用 IC 数の低減、ワイヤボンド数や密度の低減を行うことができる。また、駆動用 IC とそれに接続する発光素子の組み合わせを種々設定することができる。また、入力データの変更によって実質的な時分割数の変更による印字速度の変更も容易である。また、基板に配置した配線パターンの密度（解像度）が低くても高解像度の光プリントヘッドを提供することができる。

また、解像度が異なる複数種類の発光素子に対応可能な駆動用 IC を提供することができる。又、データの入力を高速に行うことができる駆動用 IC 及び光プリントヘッドを提供することができる。更に、光プリントヘッドの小型化や低価格化や印字速度の高速化を図ることができる。

7. 前記発光素子において、前記第1及び第2電極が、前記発光部の片側に配置されることを特徴とする請求の範囲5に記載の光プリントヘッド。

8. 前記駆動用IC装置が、少なくとも $n \times p \times q$ 個の印字用データを記憶する回路を備えていることを特徴とする請求の範囲5に記載の光プリントヘッド。

9. 前記駆動用IC装置は、印字用データを隣接する駆動用IC装置間で授受するように、印字用データが入出力される1部の端子がカスケード接続されていることを特徴とする請求の範囲5に記載の光プリントヘッド。

10. 基板と、

該基板の長手方向に沿って配列された複数の発光素子と、

前記基板に設けられた前記発光素子の個数よりも少数の駆動用IC装置と、

前記駆動用IC装置と該駆動用IC装置に対応した所定数の前記発光素子間を共通接続する第1配線と、

前記駆動用IC装置と該駆動用IC装置に対応した所定数の前記発光素子間を個別接続する第2配線と、

を備えることを特徴とする光プリントヘッド。

11. 前記駆動用IC装置が、同一構造の駆動用IC装置を複数配置したものであることを特徴とする請求の範囲10に記載の光プリントヘッド。

12. 前記発光素子が、一方の端子が前記第1配線と接続されるとともに他方の端子が前記第2配線と接続された複数の発光部を備え、

前記発光部が n 個単位毎に p 回に分けて時分割駆動されることを特徴とする請求の範囲10に記載の光プリントヘッド。

13. 前記発光素子が、一方の端子が前記第1配線と接続されるとともに他方の

18. 更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

19. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタと、 $n \times m$ 個のデータ信号を記憶するラッチ回路で構成され、

前記データ選択回路が、前記ラッチ回路に記憶されているデータ信号を n 個単位に選択して取り出す構成であることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

20. 更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 19 に記載の駆動用 IC 装置。

21. 前記データ信号記憶回路が、 r 入力で $n \times m$ 個のデータ信号を記憶するシフトレジスタで構成され、

前記データ選択回路が、前記シフトレジスタに記憶されているデータ信号を n 個単位に選択して取り出すとともに、取り出した n 個のデータ信号を記憶するラッチ回路で構成されることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

22. 更に、 n 個の発光部の他方の端子が接続された m 個の第 2 出力端子と、前記第 2 出力端子を所定電位に選択的に接続する第 2 駆動部と、を備えることを特徴とする請求の範囲 21 に記載の駆動用 IC 装置。

23. 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 17 に記載の駆動用 IC 装置。

24. 前記駆動用 IC 装置が、 n 個の発光部で構成される群を m 個以下備える発

29. 複数の発光部を備えた発光素子と、該発光素子の発光部に駆動電流を供給する駆動用IC装置と、を備えた光プリントヘッドにおいて、

前記発光素子が、 n 個の第1電極のそれぞれに複数個の発光部の一方の端子が接続され、

そして、前記駆動用IC装置が、前記発光素子の第1電極にそれぞれ接続される n 個の第1出力端子と、第1出力端子から前記駆動電流を出力する第1駆動部と、を備えるとともに、

前記第1駆動部が、 r 個の入力端子を介して順次送出される少なくとも $n \times m$ 個のデータ信号を記憶するデータ信号記憶回路と、該データ信号記憶回路に記憶しているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第1出力端子に駆動信号を出力する駆動回路と、を備えることを特徴とする光プリントヘッド。

30. 前記駆動用IC装置が、更に、 n 個の発光部の他方の端子が接続された m 個の第2出力端子と、前記第2出力端子を所定電位に選択的に接続する第2駆動部と、を備えることを特徴とする請求の範囲29に記載の光プリントヘッド。

31. 前記データ信号記憶回路が、 r 入力での $n \times m$ 個のデータ信号を記憶するシフトレジスタと、 $n \times m$ 個のデータ信号を記憶するラッチ回路で構成され、

前記データ選択回路が、前記ラッチ回路に記憶されているデータ信号を n 個単位に選択して取り出す構成であることを特徴とする請求の範囲29に記載の光プリントヘッド。

32. 前記駆動用IC装置が、更に、 n 個の発光部の他方の端子が接続された m 個の第2出力端子と、前記第2出力端子を所定電位に選択的に接続する第2駆動部と、を備えることを特徴とする請求の範囲31に記載の光プリントヘッド。

33. 前記データ信号記憶回路が、 r 入力での $n \times m$ 個のデータ信号を記憶するシフトレジスタで構成され、

の m 種類の分割タイミング信号に基づいて、該データ信号記憶回路に記憶されているデータ信号を n 個単位に選択して取り出すデータ選択回路と、該データ選択回路で選択されたデータ信号に基づき、前記各第 1 出力端子に駆動信号を出力する駆動回路と、を備え、

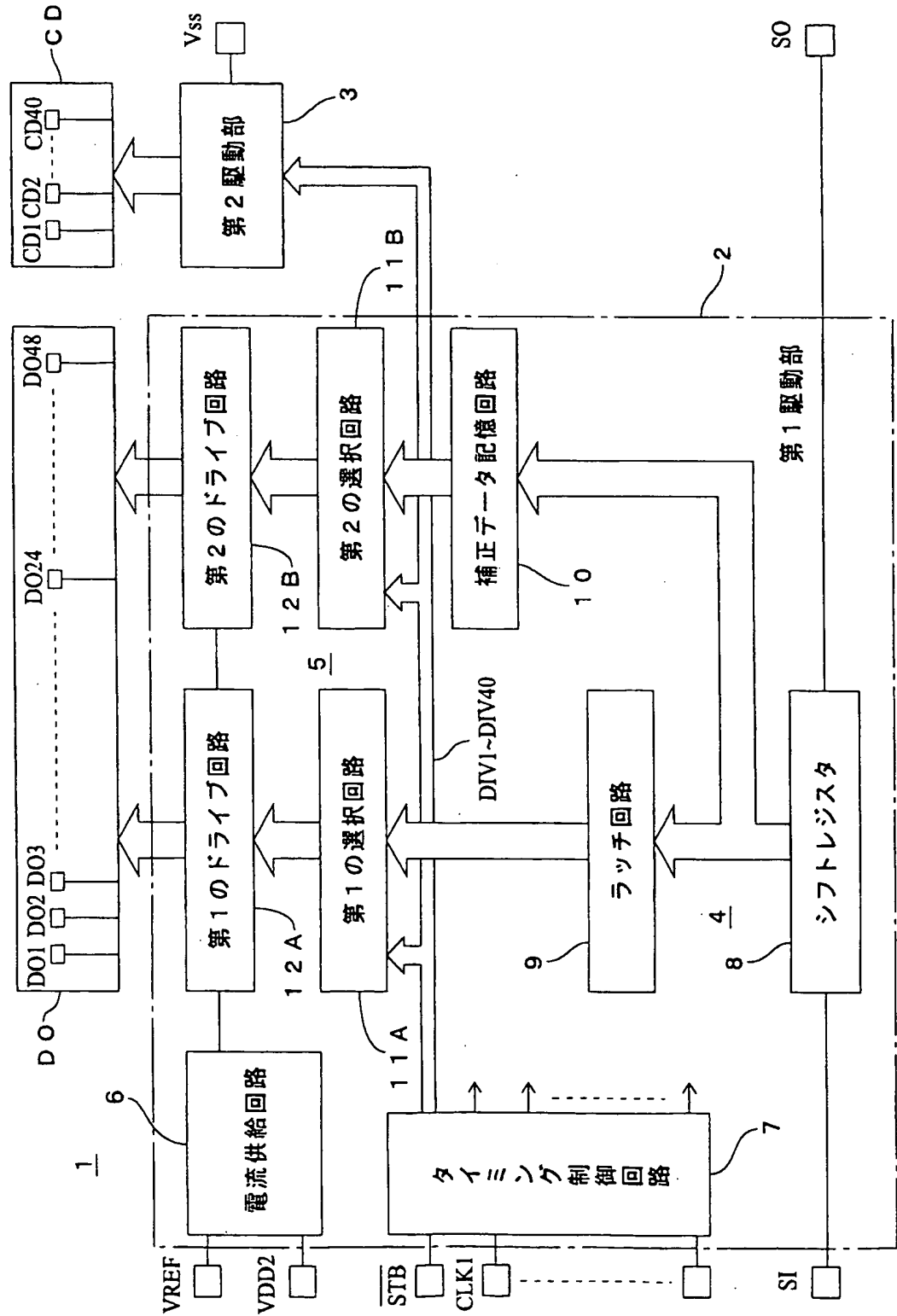
前記第 2 駆動部が、前記 m 個の第 2 出力端子を前記 m 種類の分割タイミング信号に基づいて順次切り換える構成とされたことを特徴とする光プリントヘッド。

38. 前記入力端子の個数 r と、前記第 2 出力端子の個数 m とが同じ個数に設定されることを特徴とする請求の範囲 37 に記載の光プリントヘッド。

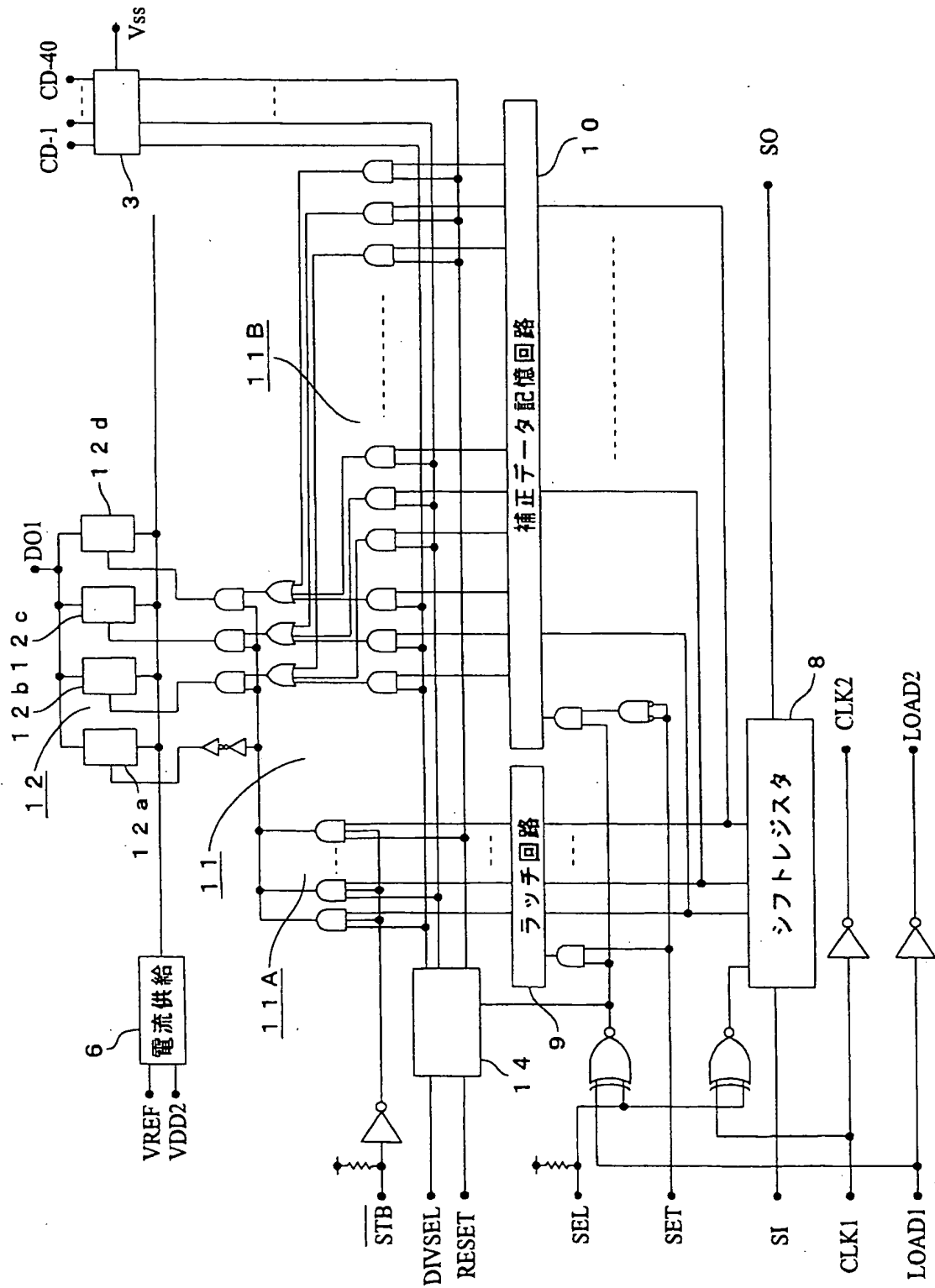
39. 前記第 1 駆動部が、前記 $n \times m$ 個の補正データを記憶する補正データ記憶回路を備えることを特徴とする請求の範囲 37 に記載の光プリントヘッド。

40. 前記駆動用 IC 装置が、 n 個の発光部で構成される群を m 個以下備える発光素子を郡単位で時分割駆動するための駆動用 IC 装置であることを特徴とする請求の範囲 37 に記載の光プリントヘッド。

第1図

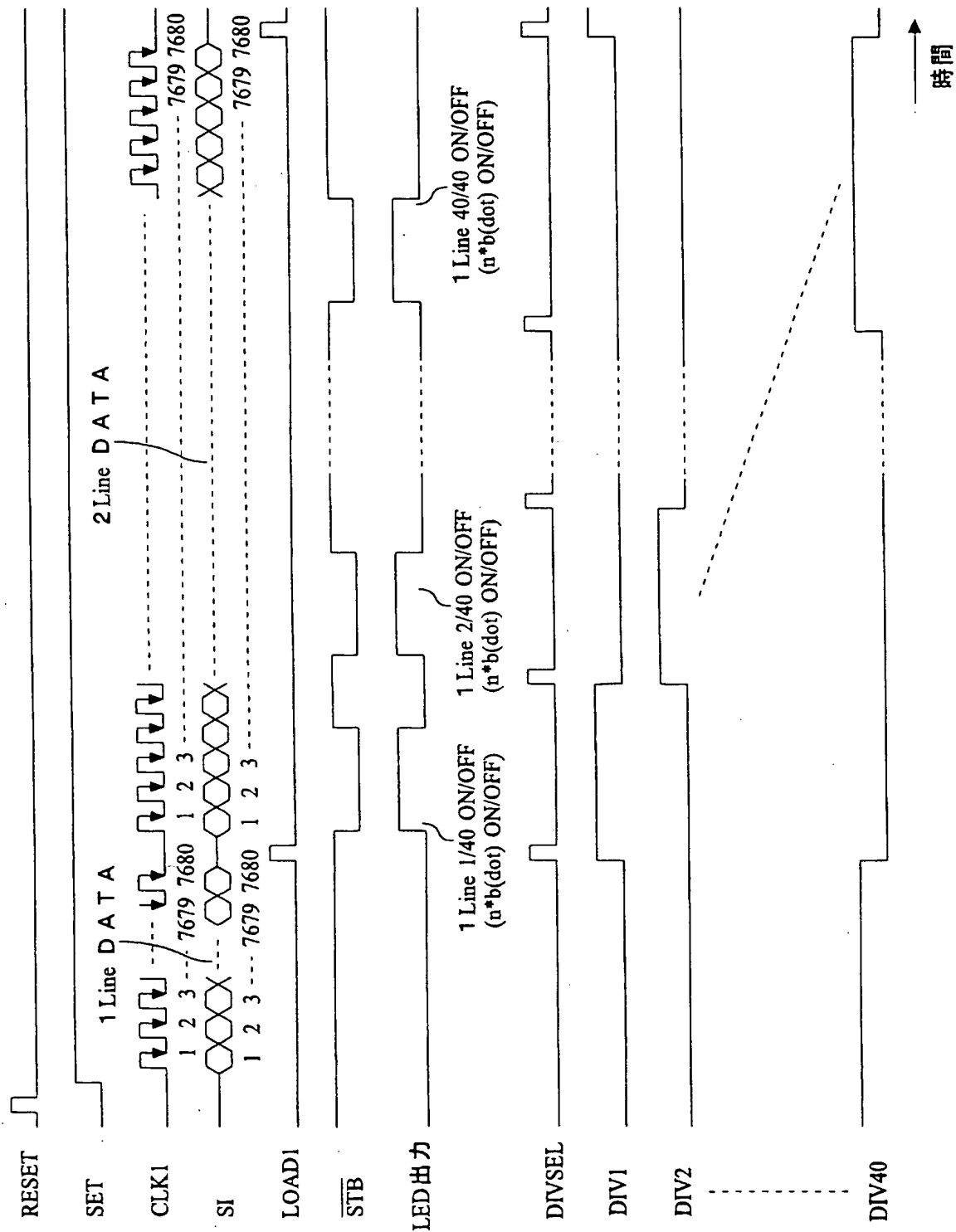


第2図

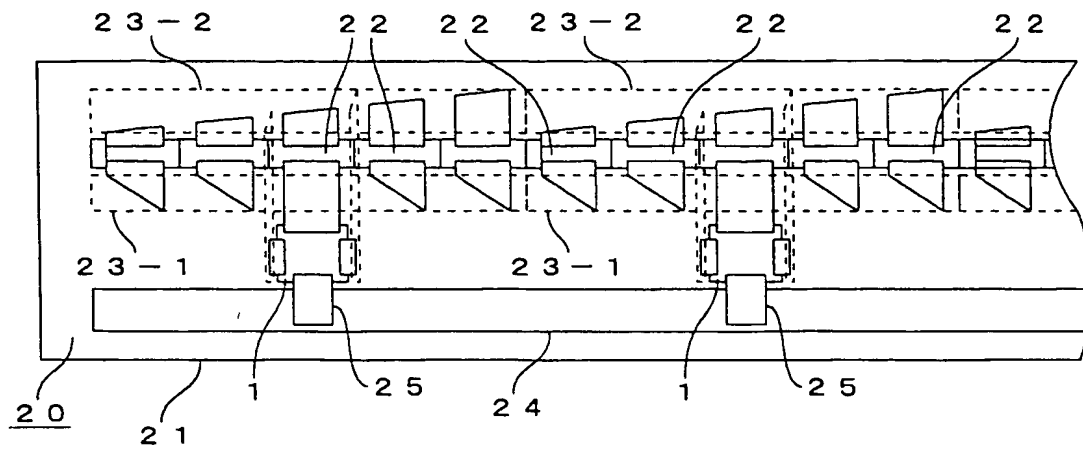


- 3/21 -

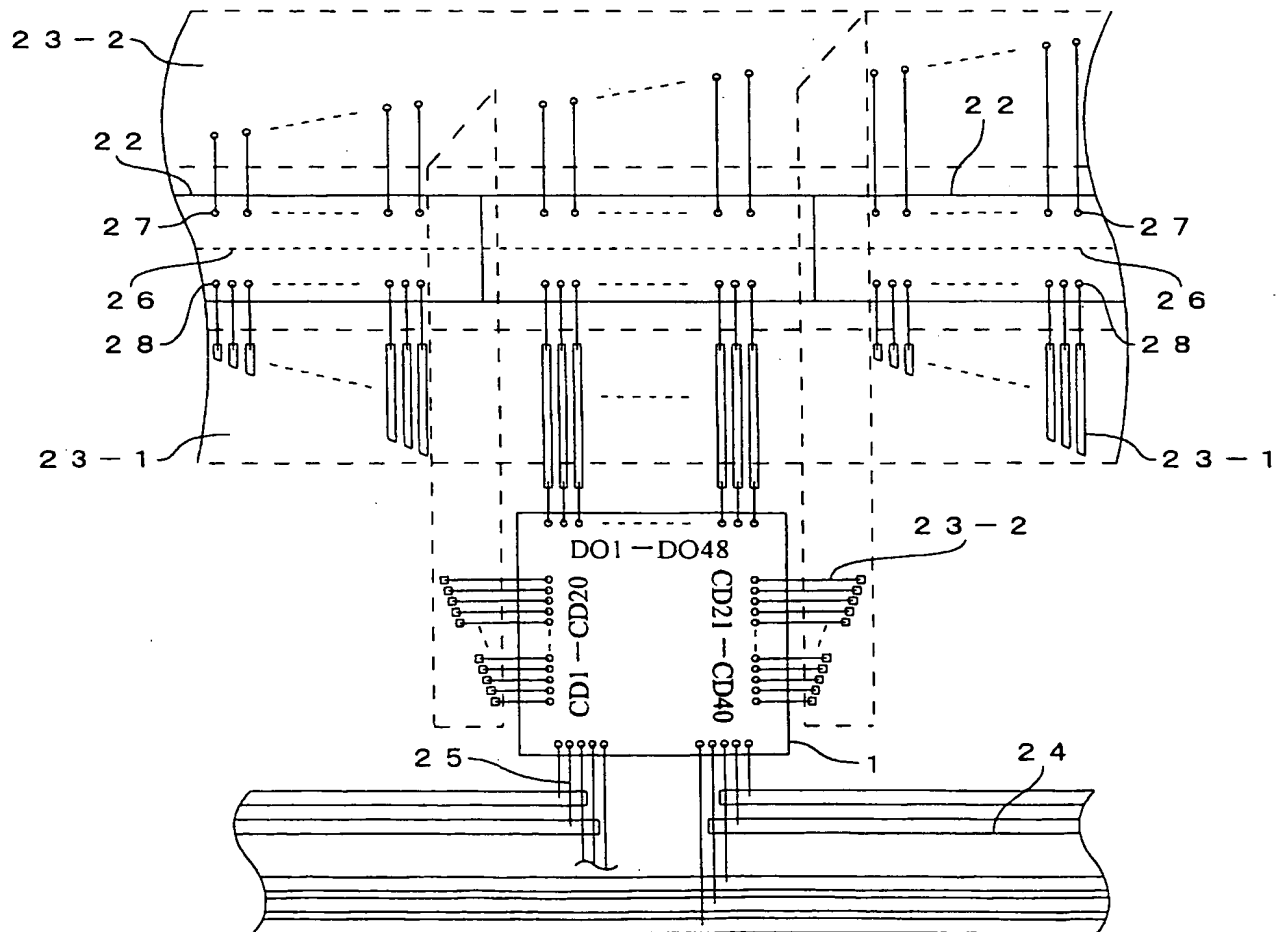
第 3 図



第 4 図

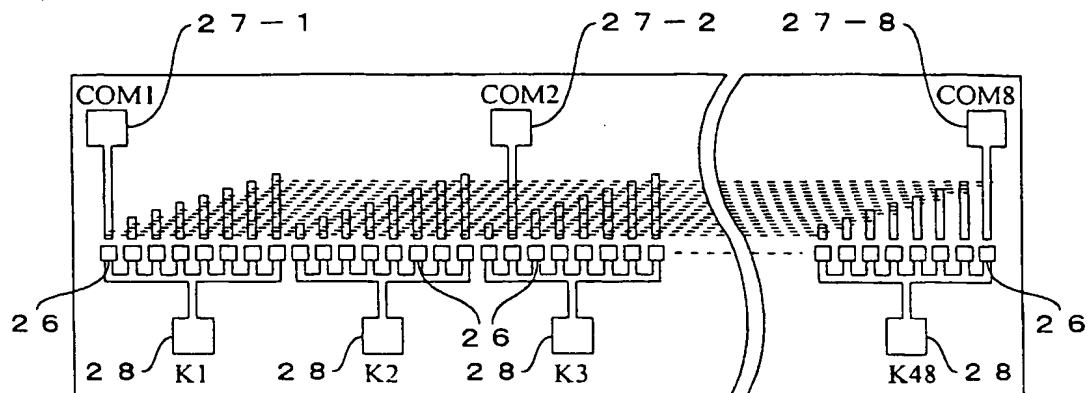


第 5 図

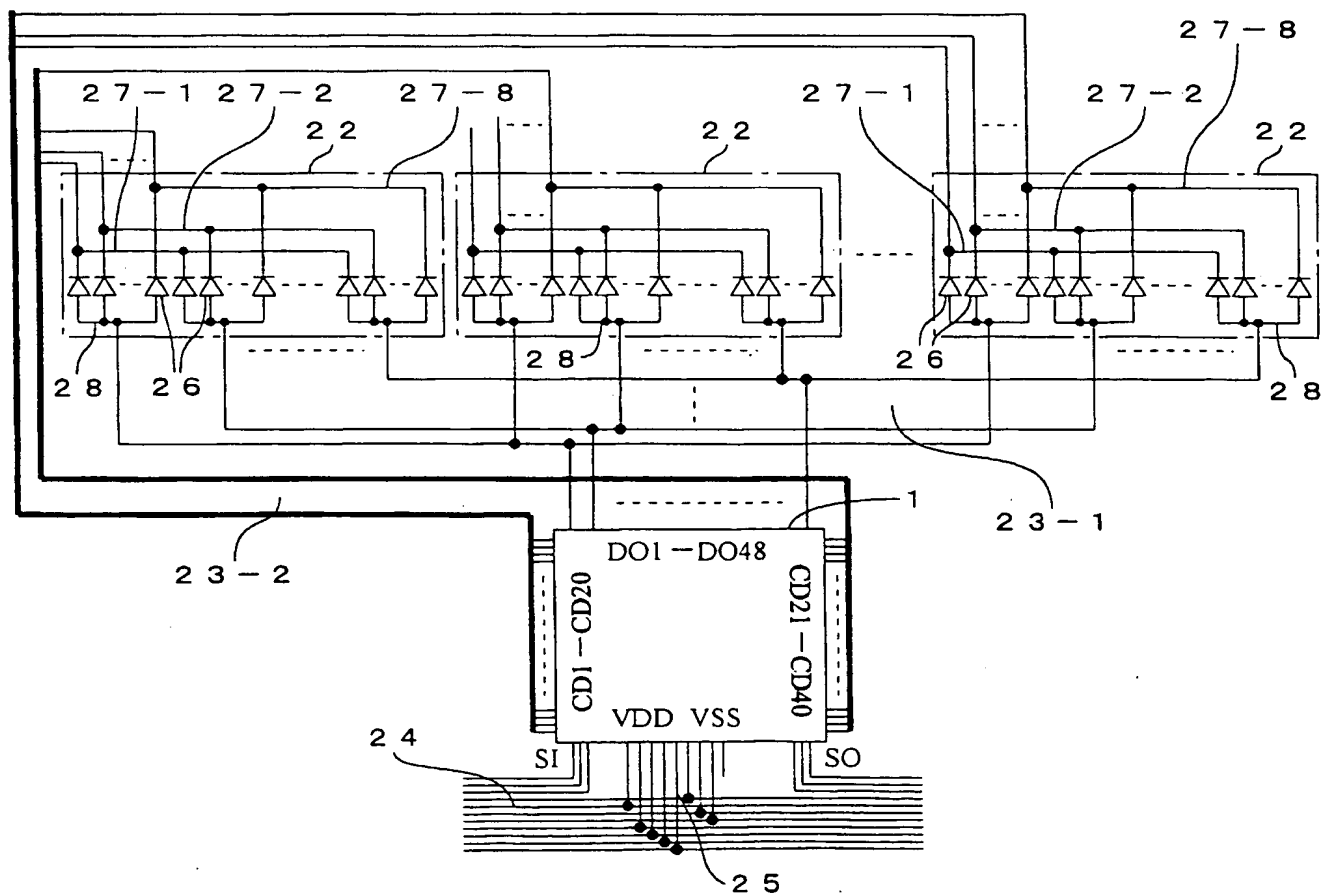


- 5/21 -

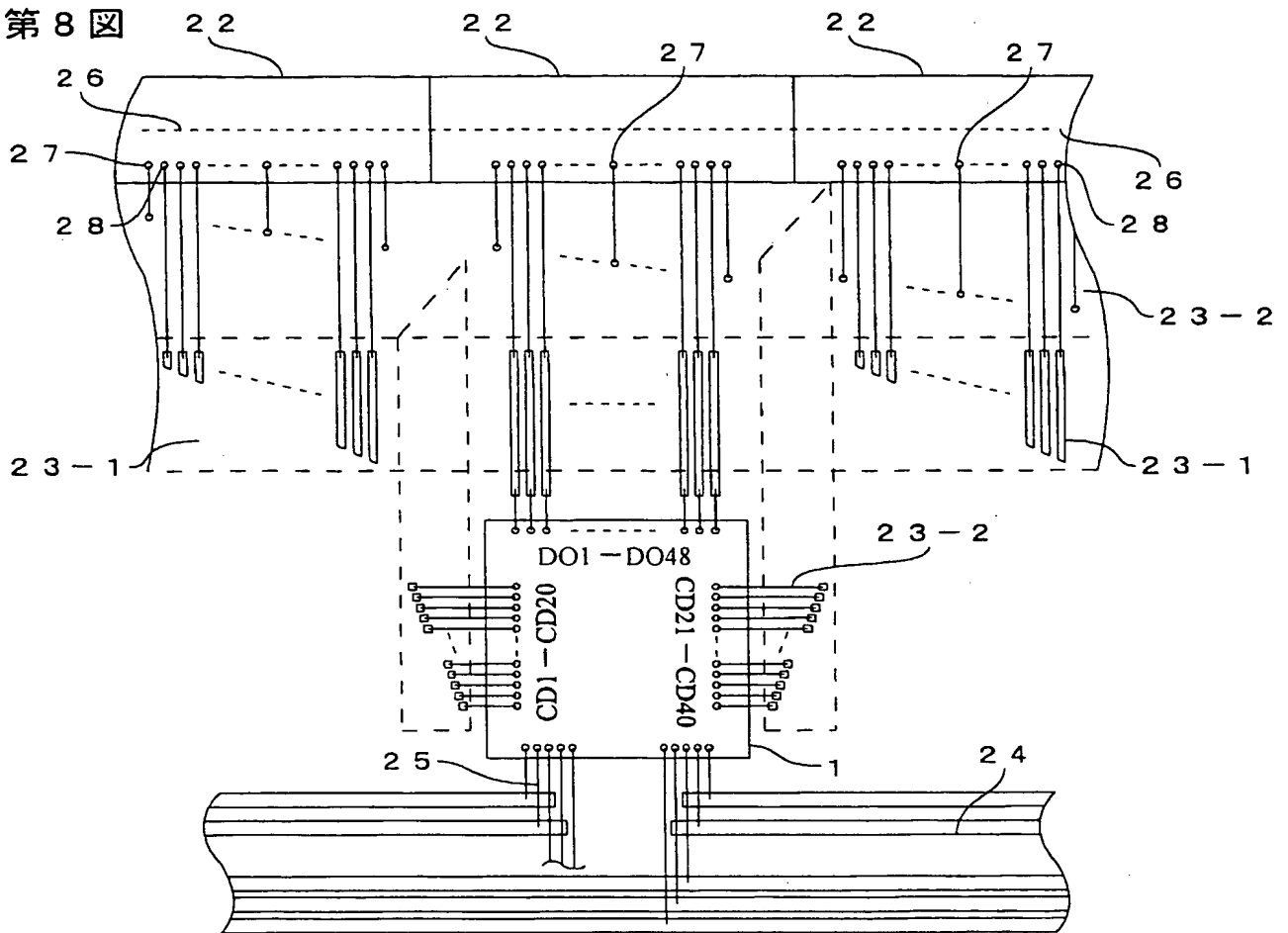
第 6 図



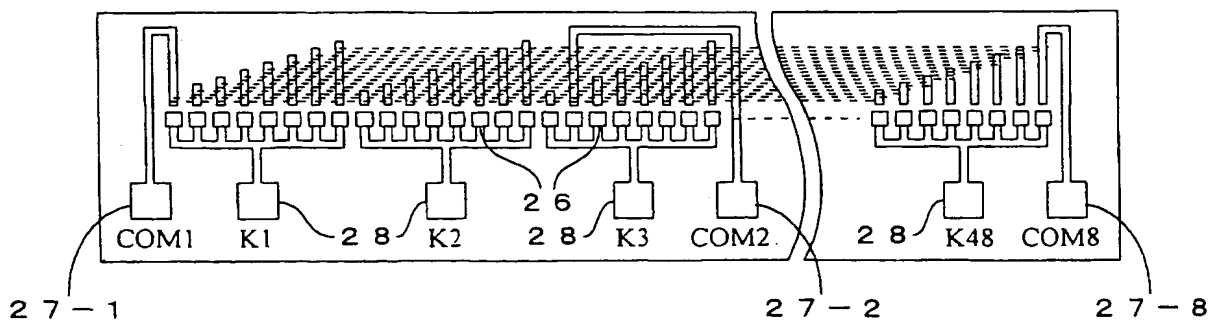
第 7 図



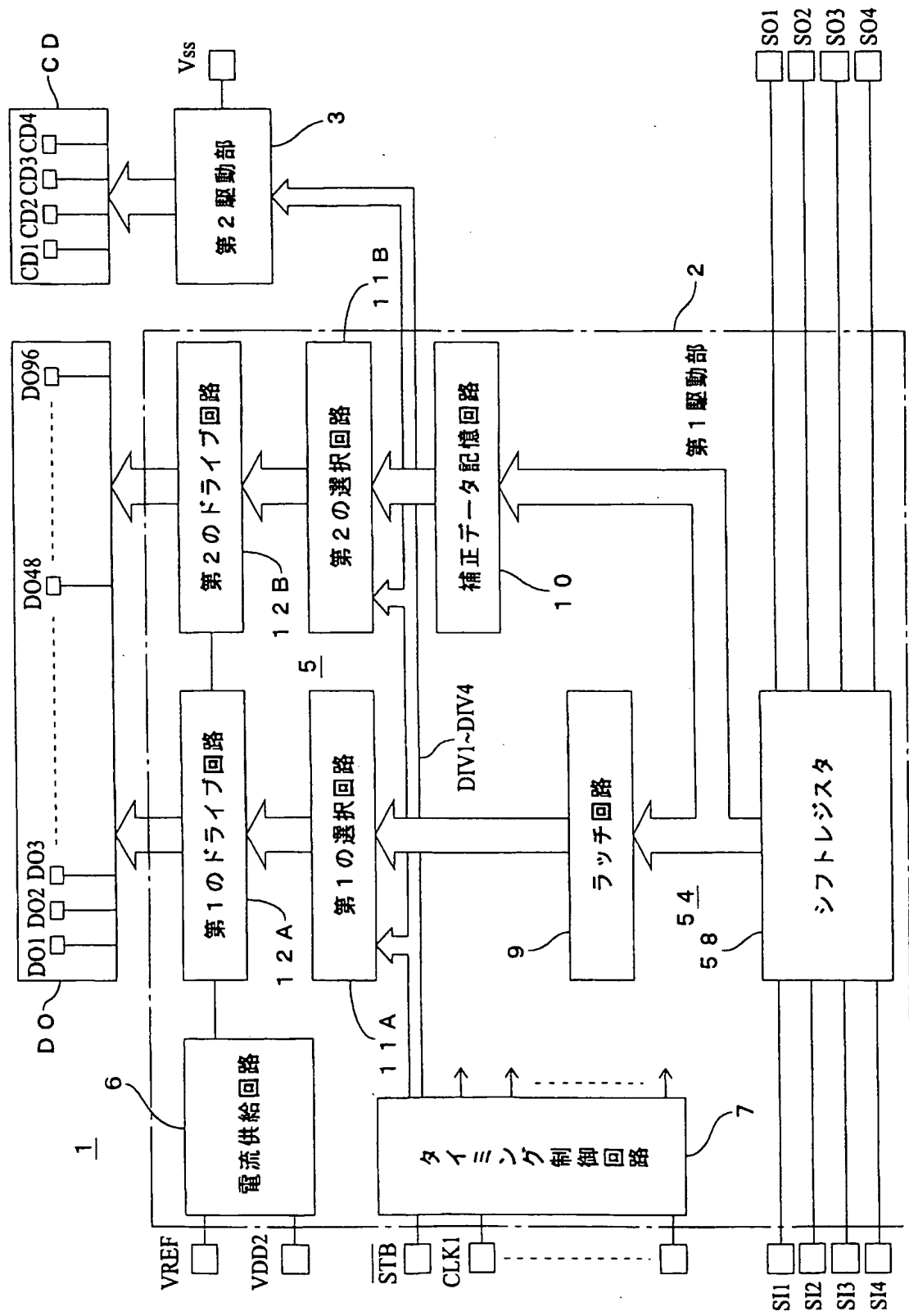
第 8 図



第9圖

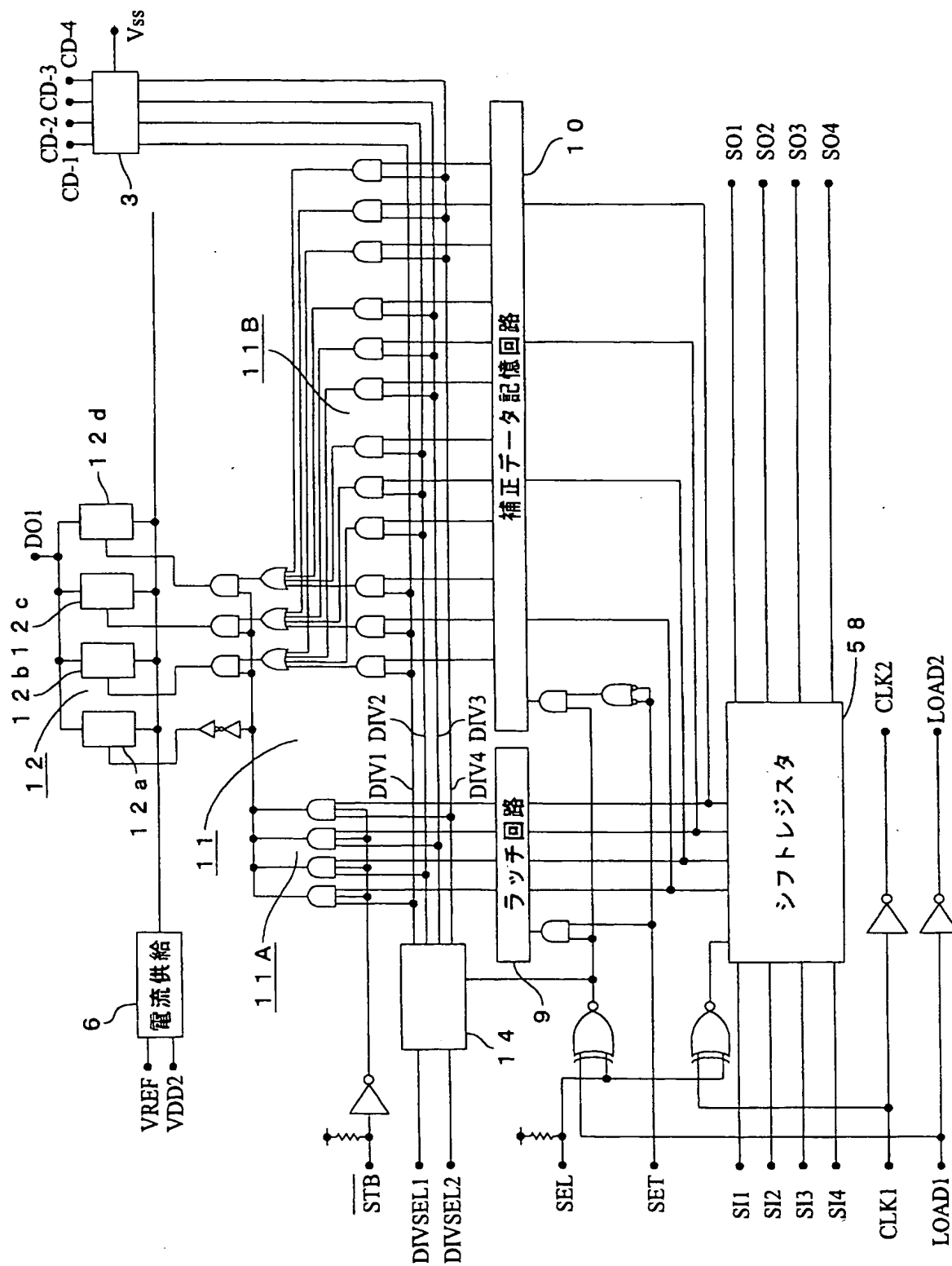


第10図



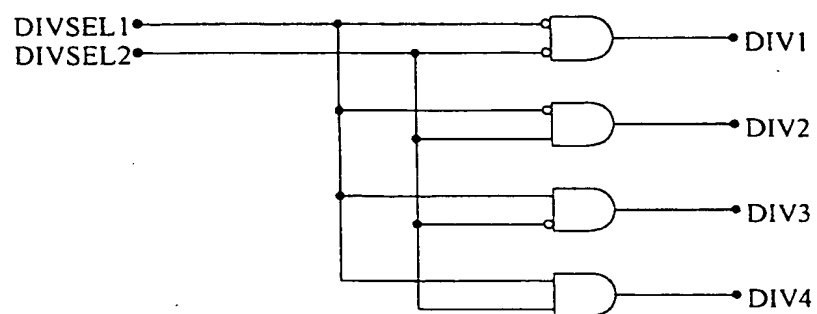
- 8/21 -

第 11 図



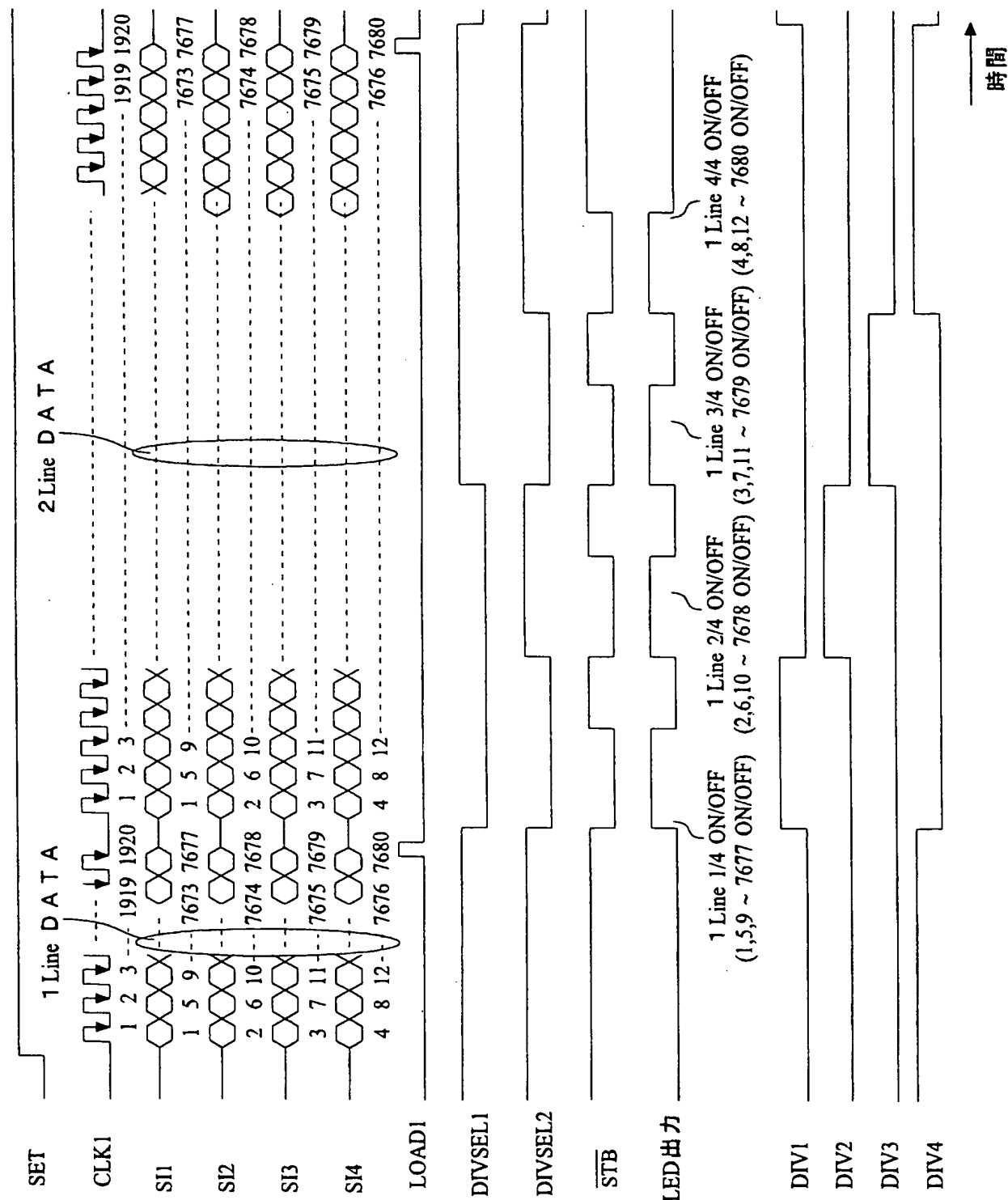
- 9/21 -

第 1 2 図

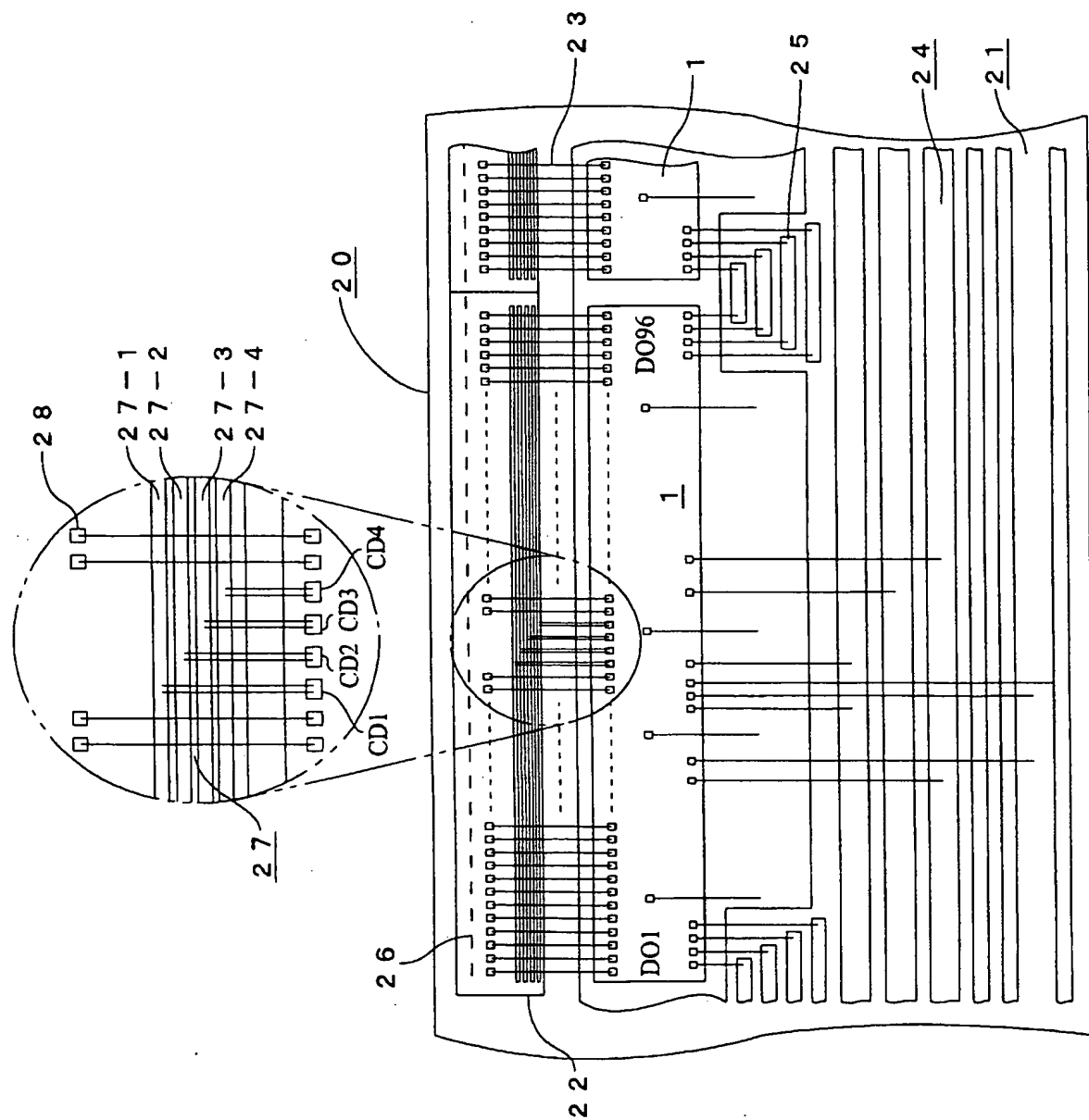


- 10/21 -

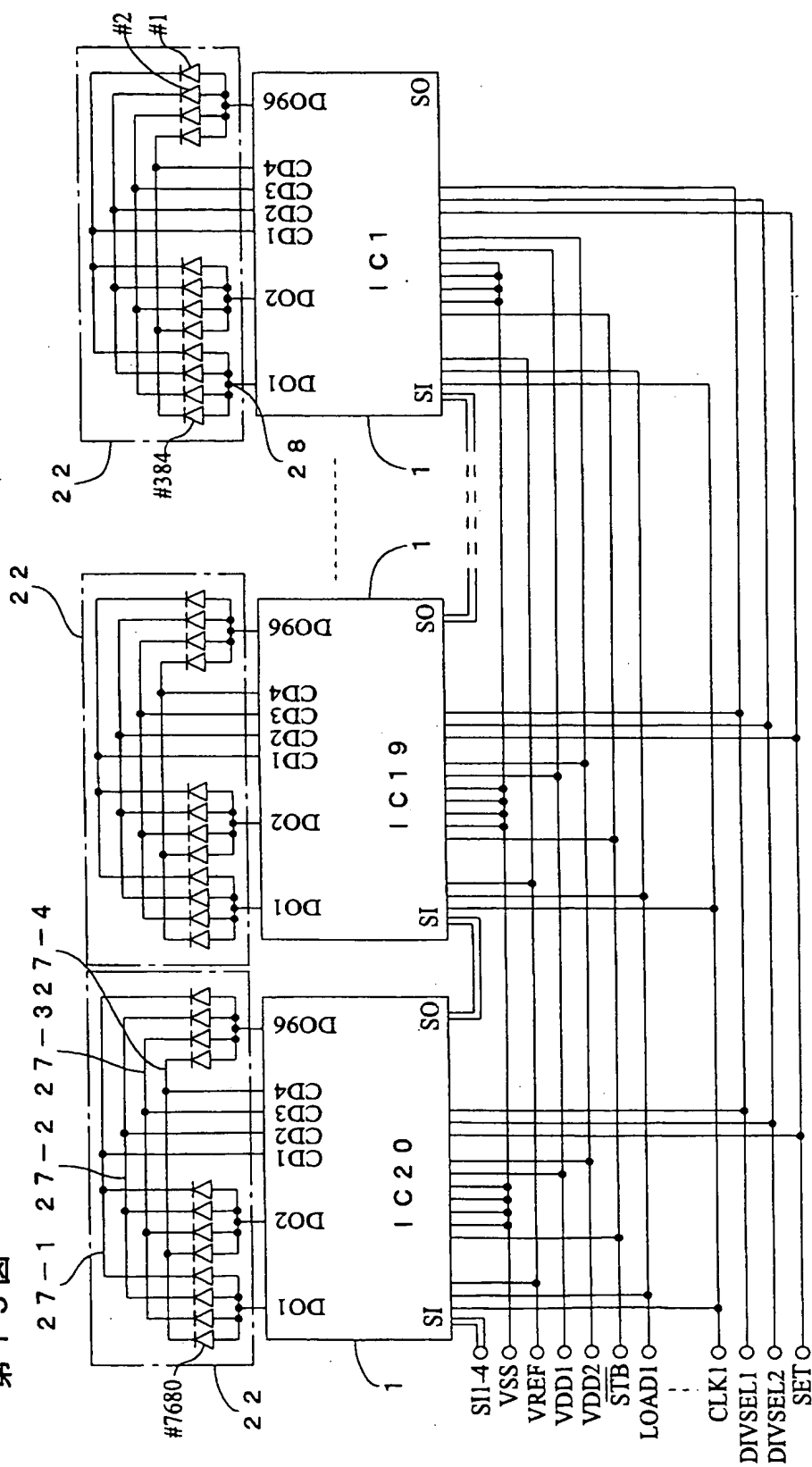
第 1 3 図



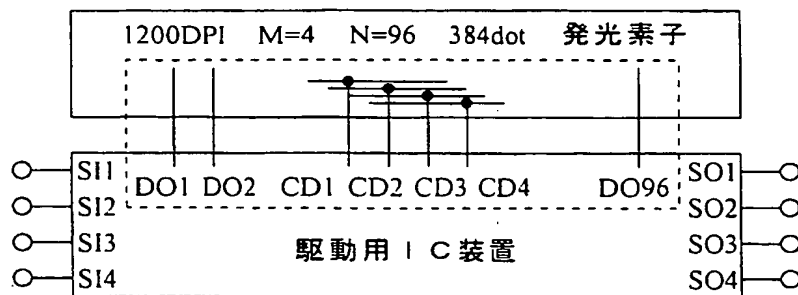
第 1 4 図



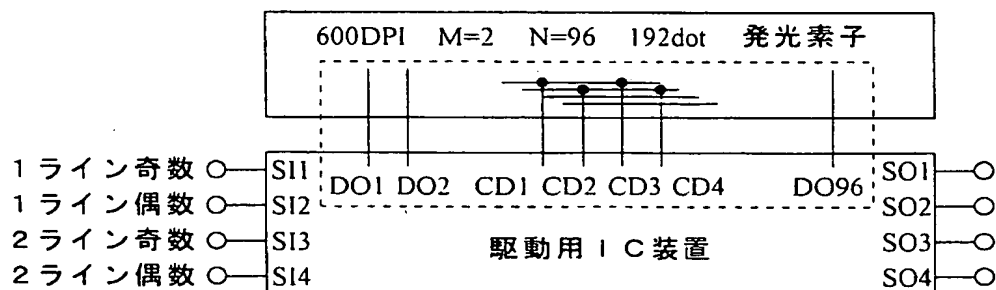
第 15 図



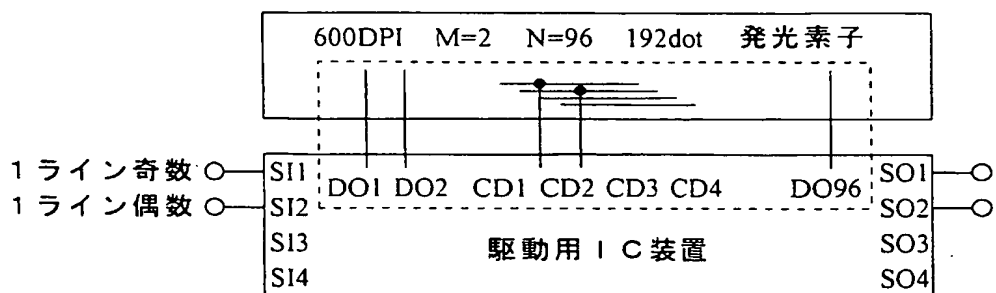
第 16 図



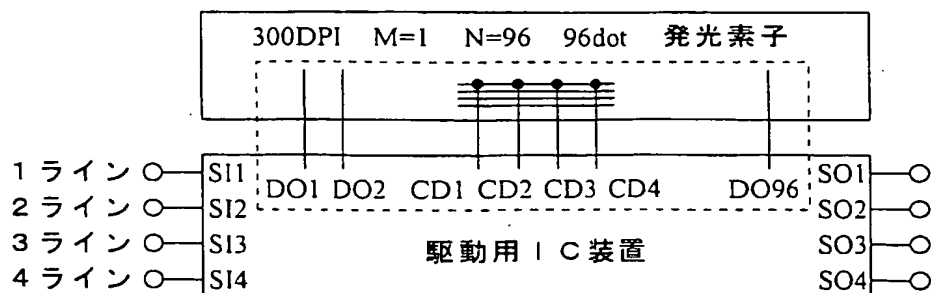
第 17 図



第 18 図

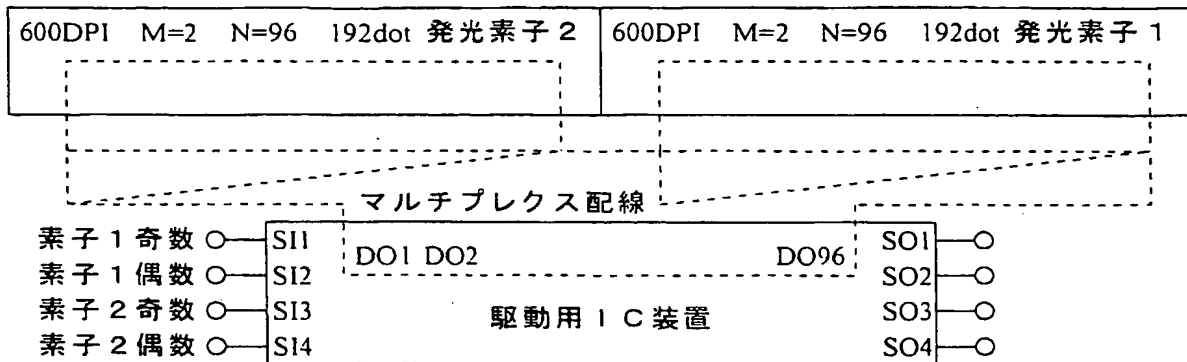


第 19 図

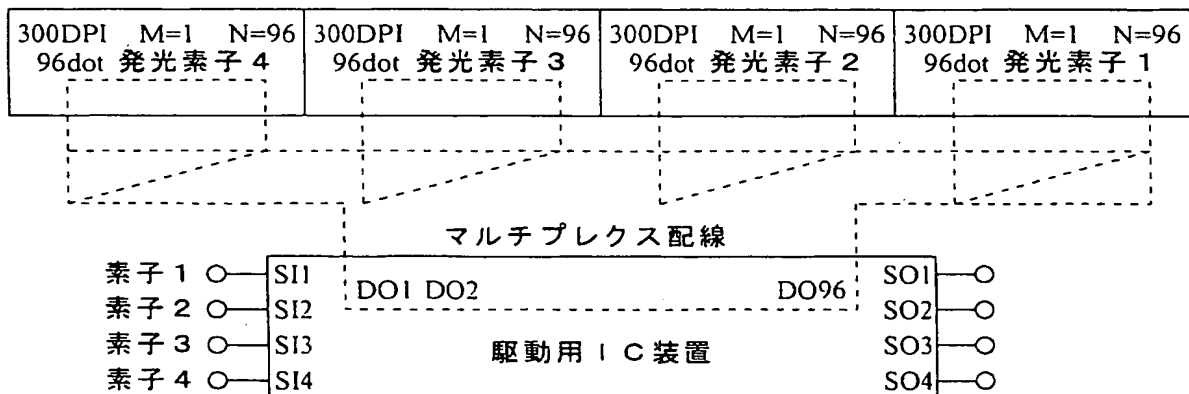


- 14/21 -

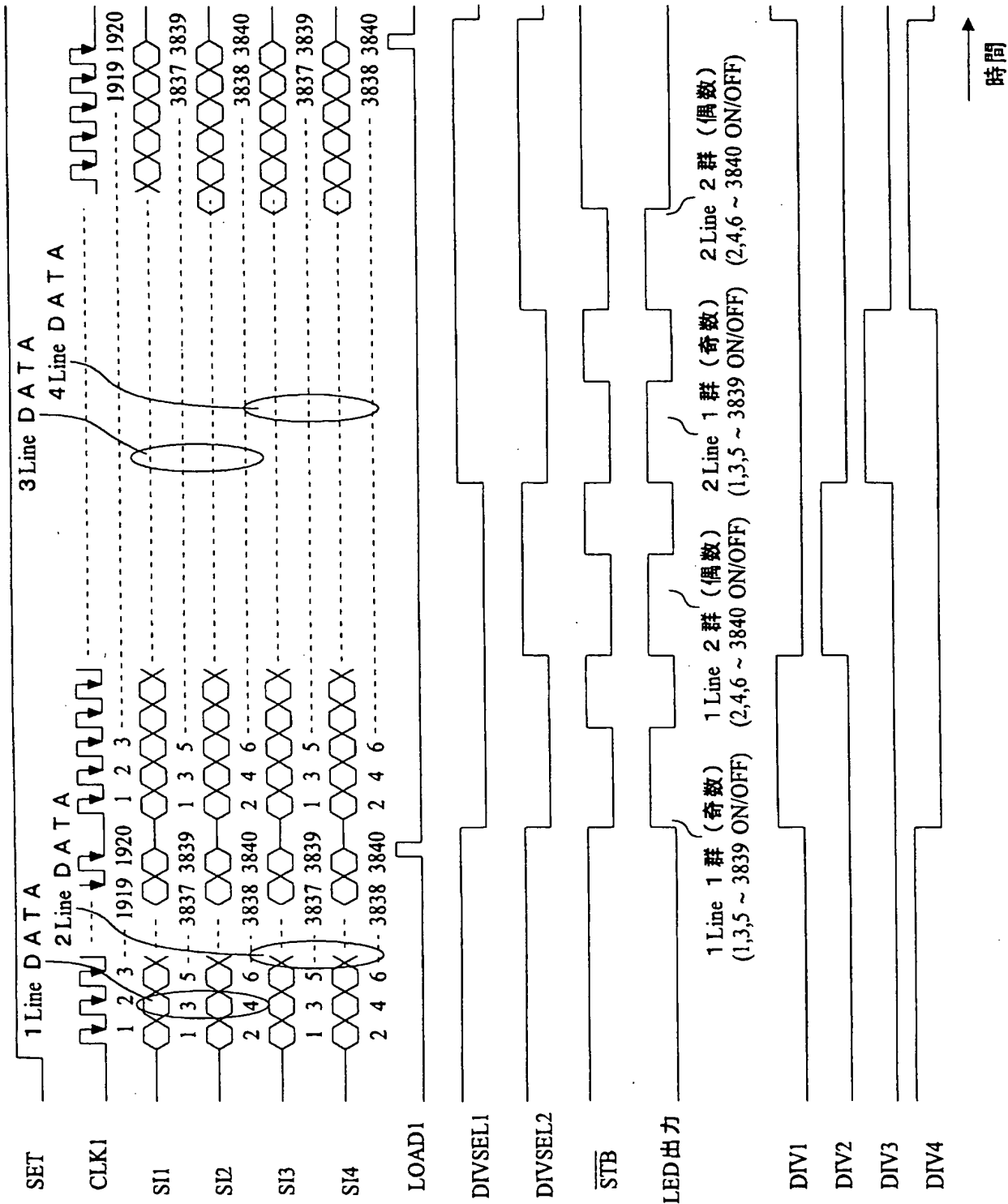
第 2 0 図



第 2 1 図

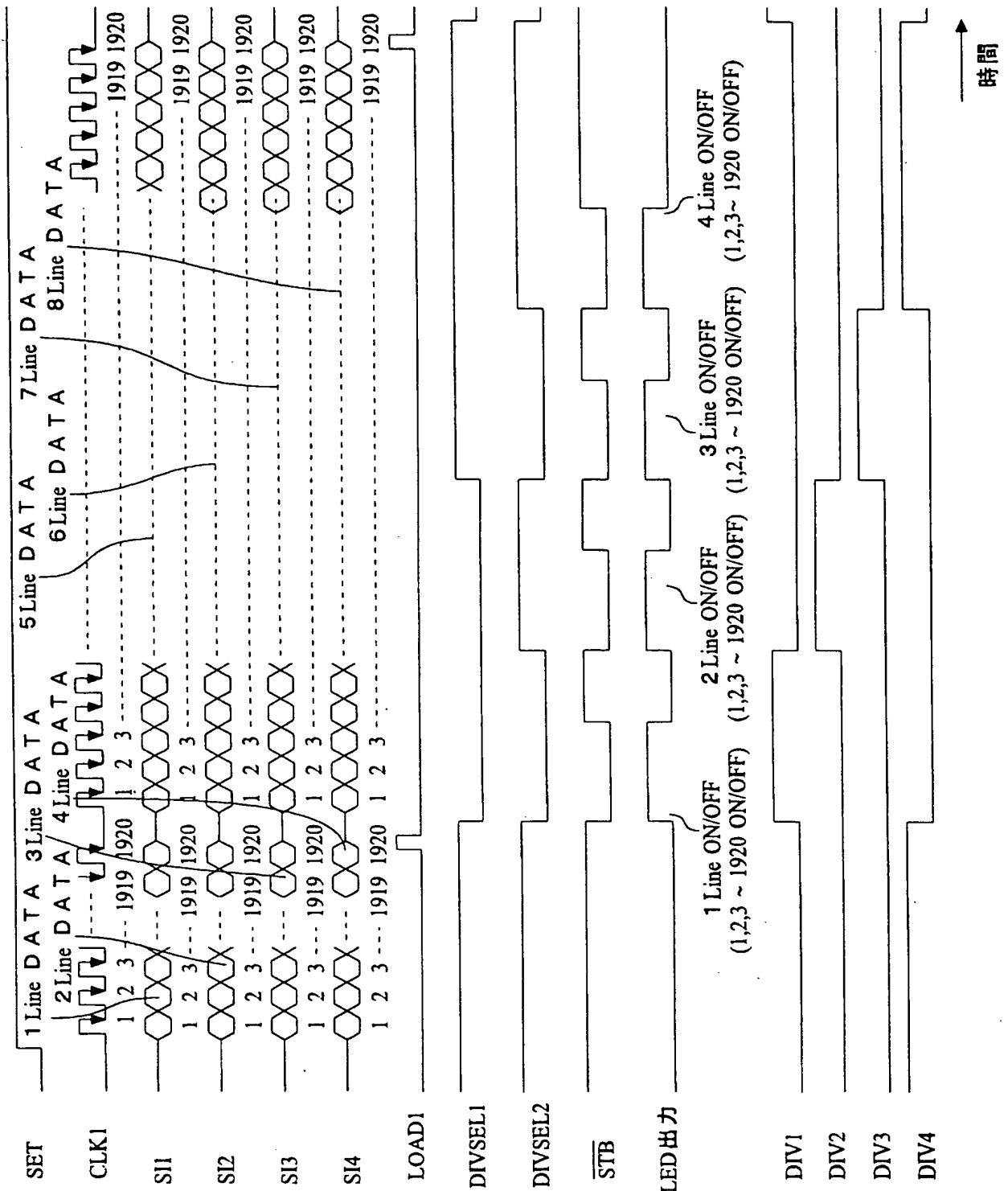


第 2 2 図



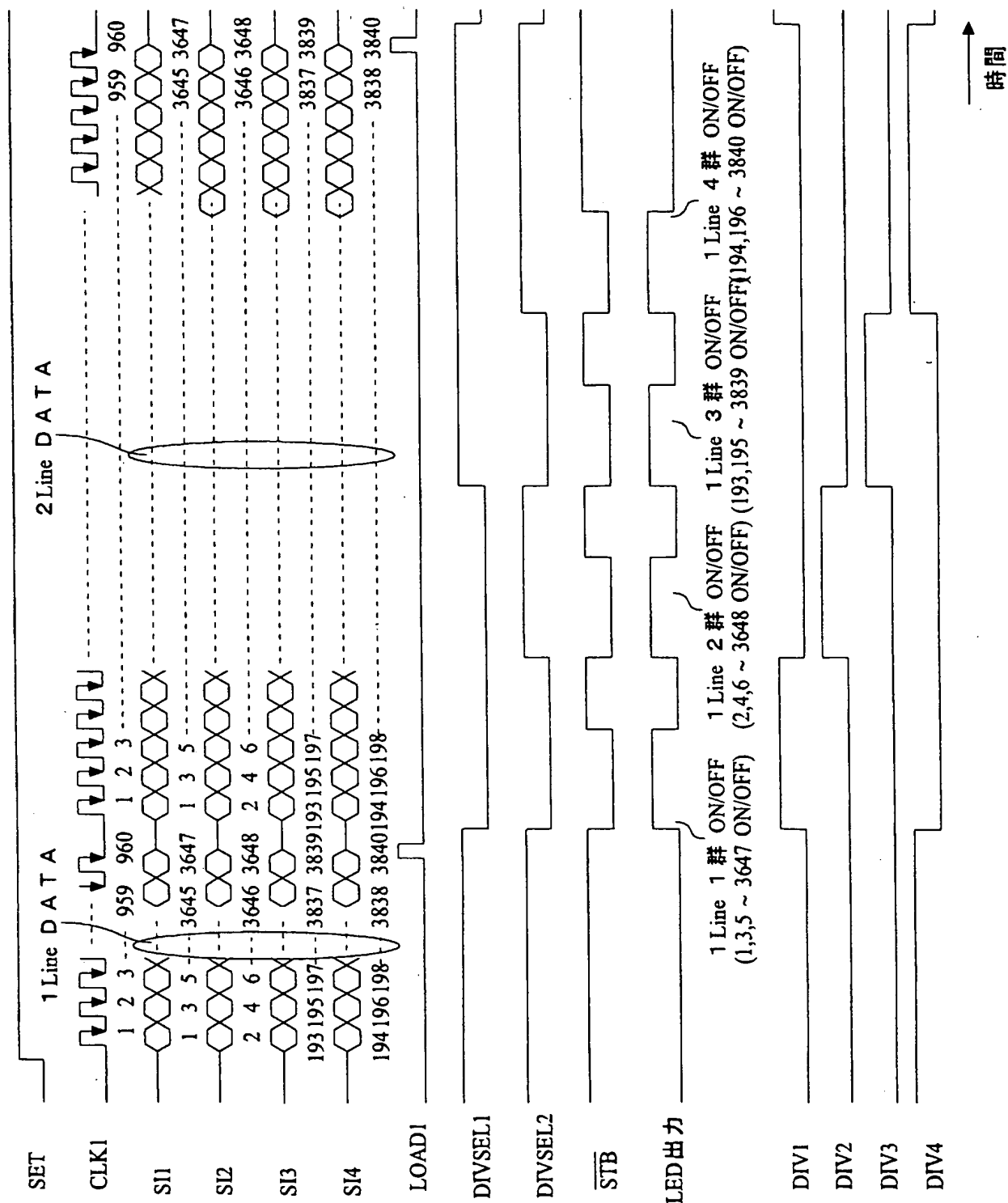
- 16/21 -

第 2 3 図

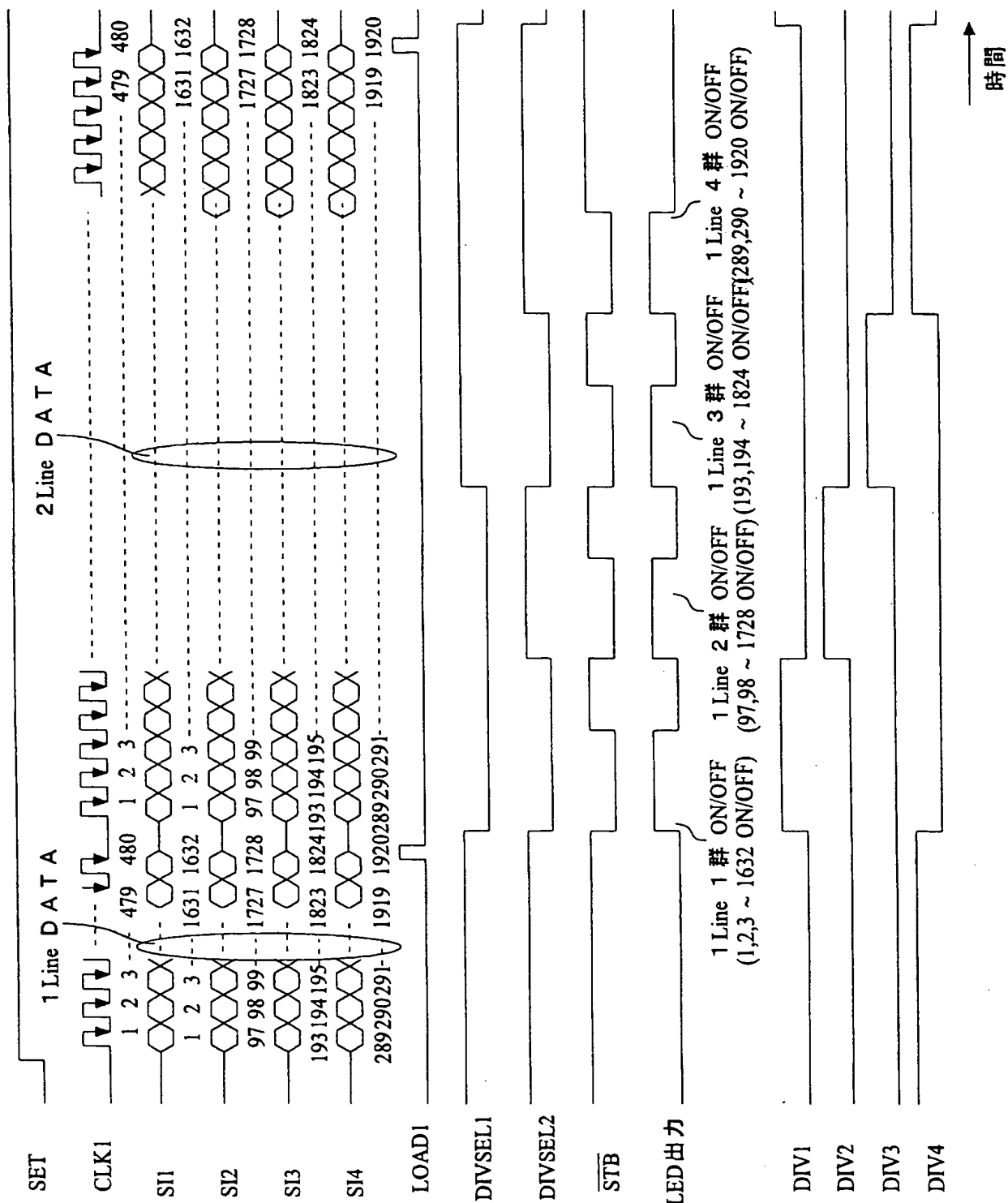


- 17/21 -

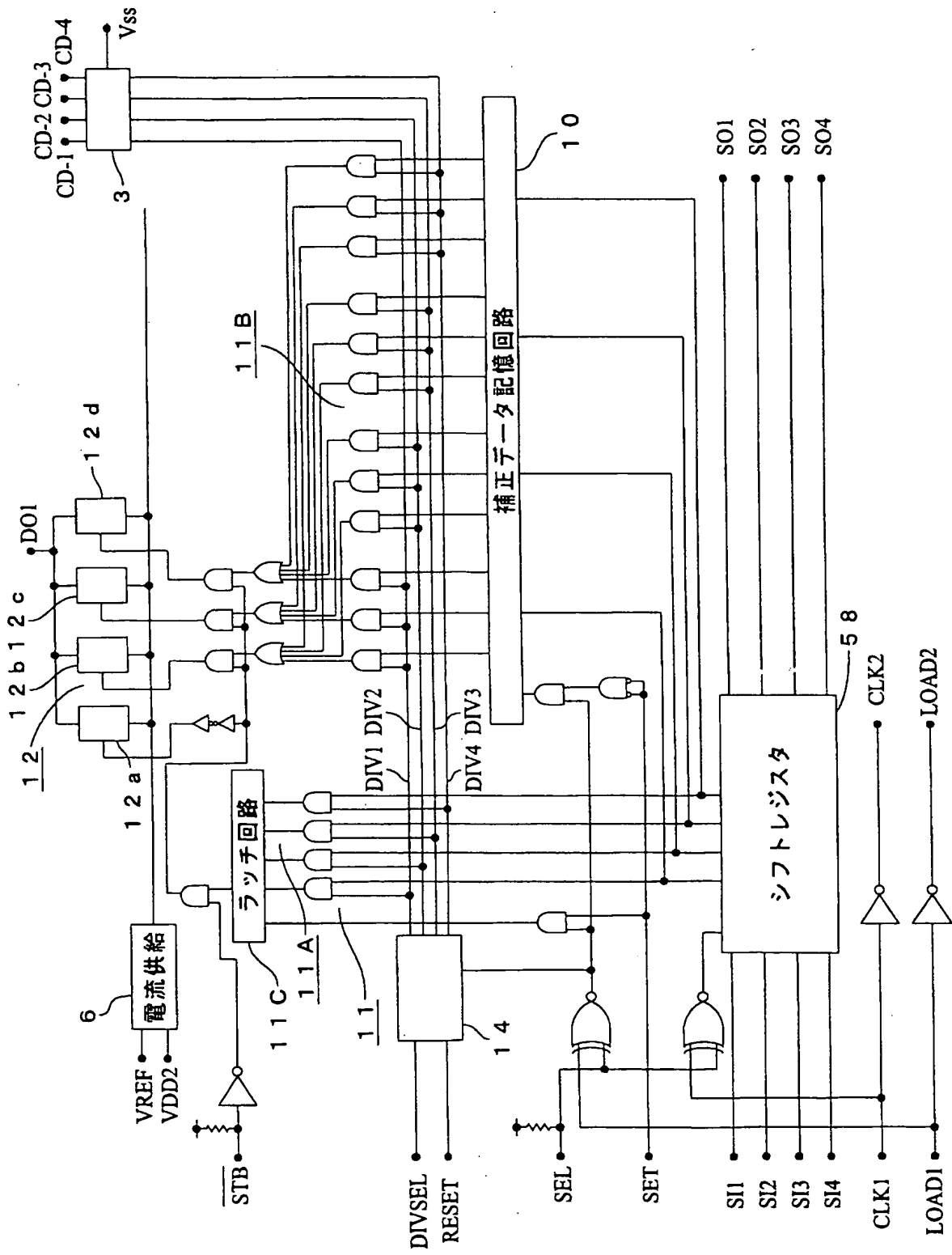
第 2 4 図



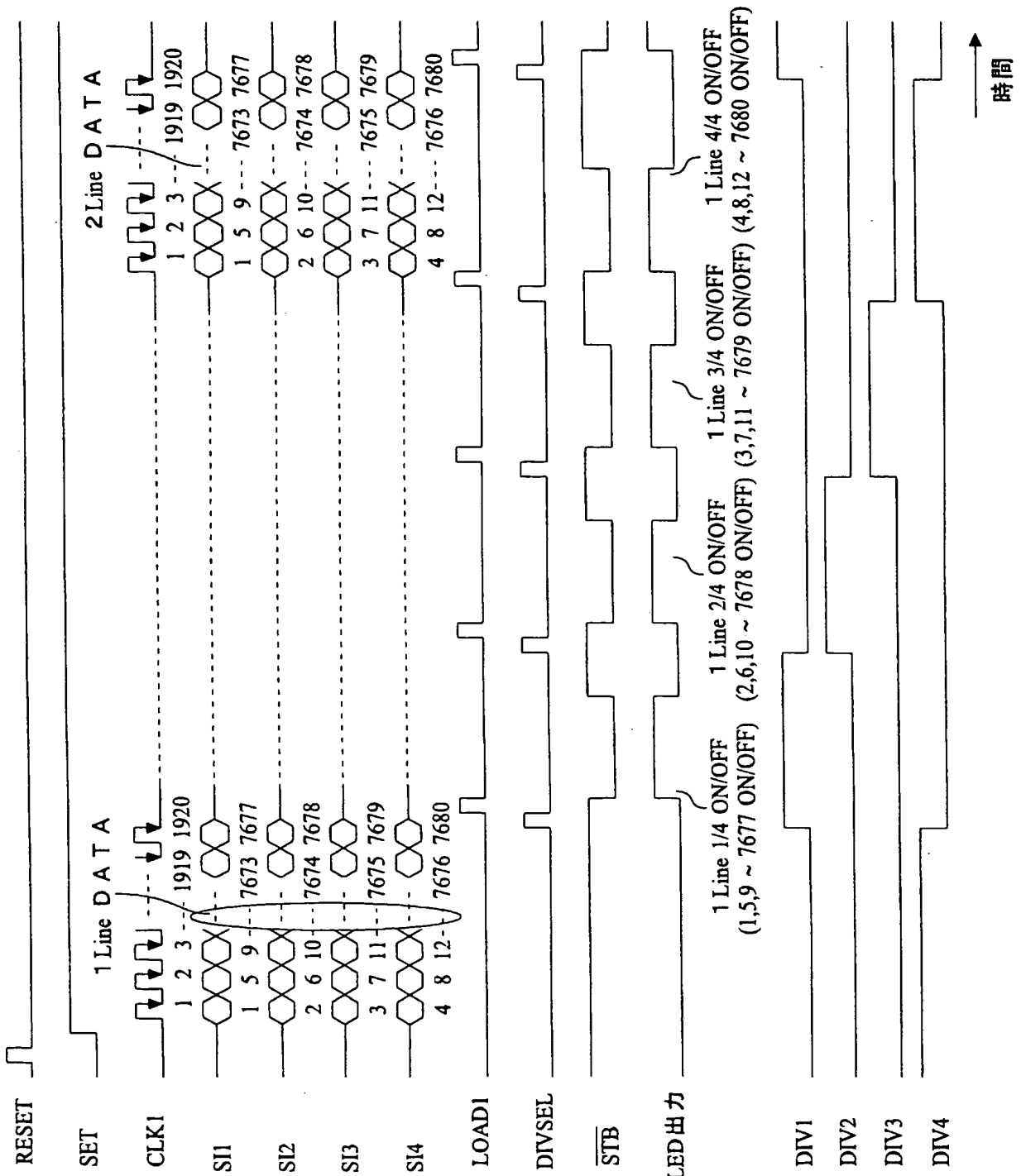
第 2 5 図



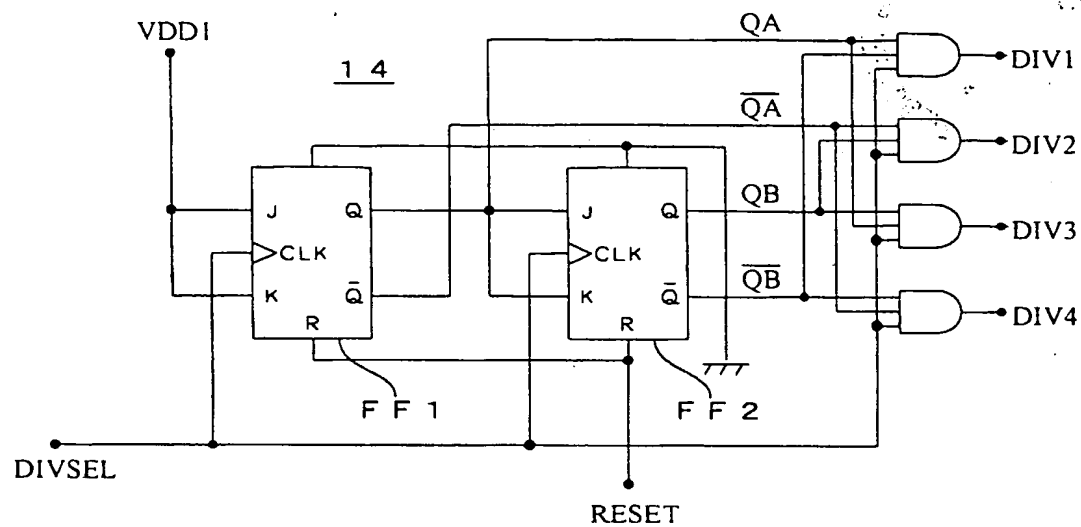
第 26 図

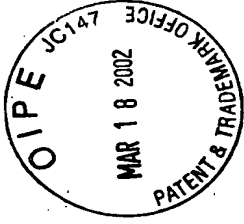


第 2 7 図



第 2 8 図





THIS PAGE BLANK (USPTO)